

* NOTICES *

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

(54) VIDEO SIGNAL ENCODING DEVICE

JP-AN-2000-232628

(57) Abstract:

PROBLEM TO BE SOLVED: To make it possible to fix the length of encoded data on a prescribed length without degrading picture quality on the decoding side by setting up the ratio of a discrete cosine transform(DCT) block of a chrominance signal to a screen as a shuffling unit and executing shuffling so that units belonging to adjacent shuffling units are mutually different.

SOLUTION: A block formation circuit 1 divides an inputted video signal into blocks in each pixel and each block is shuffled by a shuffling circuit 9 and outputted to a DCT circuit 2. The video signal encoding device is prepared for preferentially executing the encoding of picture data from the center part of the screen of a television. The DCT circuit 2 executes DCT of each block and outputs an obtained DCT coefficient. A weighting circuit 3 weights each DCT coefficient and outputs the weighted DCT coefficient. A quantization circuit 4 quantizes the DCT coefficient by the number of quantization bits determined by a controller 8 and outputs the quantized DCT coefficient to a variable length encoding circuit 5.

CLAIMS

[Claim(s)]

[Claim 1] In the video-signal coding equipment which compresses the digital video signal containing a chrominance signal, and is encoded A block configuration means to constitute the aforementioned video signal for two or more pixels of every, and to constitute a block in the shape of a matrix, A conversion means to give orthogonal transformation to each constituted block and to obtain a transform coefficient, A coding means to encode the obtained transform coefficient and to obtain coded data, and a block of the aforementioned chrominance signal make a shuffling unit the size occupied on a screen. So that the units to which four shuffling units which are short distances most per the unit to which arbitrary 1 shuffling units belong, and this 1 shuffling belong may differ Video-signal coding equipment characterized by having a unit configuration means to constitute each unit which makes two or more blocks a unit before it carries out the shuffling of each block and the aforementioned conversion means gives orthogonal transformation.

[Claim 2] In the video-signal coding equipment which compresses a digital video signal and is encoded A block configuration means to constitute the aforementioned video signal for two or more pixels of every, and to constitute a block in the shape of a matrix, A conversion means to give orthogonal transformation to each constituted block and to obtain a transform coefficient, So that the units to which four blocks which are short distances most belong to a coding means to encode the obtained transform coefficient and to obtain coded data, and the unit and this one block with which arbitrary 1 block belongs may differ Video-signal coding equipment characterized by having a unit configuration means to constitute the unit which makes two or more blocks a unit before the aforementioned conversion means gives orthogonal transformation.

[Claim 3] The video-signal coding equipment according to claim 1 or 2 carry out having further a control means control the ON/the OFF of an operation of the quantization number of bits in the aforementioned quantization means, and the aforementioned coding means based on the amount of data of the coded data contained by a receipt means quantizes a transform coefficient, has the receipt capacity of the amount of data of a quantization means send the data after a quantization to the aforementioned coding means, and the aforementioned coding means, and an almost same amount, and contain the obtained coded data, and this receipt means as the characteristic feature.

[Claim 4] Video-signal coding equipment according to claim 1 or 2 characterized by having further a receipt means to have the receipt capacity of the amount of data of the aforementioned coding means, and an almost same amount, and to contain the obtained coded data, and a control means to control ON/OFF of an operation of the aforementioned coding means based on the amount of data of the coded data contained by this receipt means.

[Claim 5] In the video-signal coding equipment which compresses a digital video signal and is encoded A block configuration means to constitute the aforementioned video signal for two or more pixels of every, and to constitute a block in the shape of a matrix, A conversion means to give orthogonal transformation to each constituted block and to obtain a transform coefficient, So that the units to which four blocks which are short distances most belong to a coding means to encode the obtained transform coefficient and to obtain coded data, and the unit and this one block with which arbitrary 1 block belongs may differ [in a unit configuration means to

constitute the unit which makes two or more blocks a unit before the aforementioned conversion means gives orthogonal transformation, and each unit] Video-signal coding equipment characterized by having a decision means to determine the coding sequence of each block according to the order of a block of a screen center section, and a block of a screen edge, and a control means to control the amount of data of coded data for every unit.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] this invention blocks a video signal and relates to the video-signal coding equipment which gives and carries out compression coding of the orthogonal transformation at each block.

[0002]

[Description of the Prior Art] If the picture data changed into the digital signal are recorded on record media, such as a tape, as it is, the amount of data of a limitation recordable on a record medium generally [the amount of data is huge and] will be exceeded. Therefore, when recording a digital video signal on a tape etc., it is necessary to compress a video signal and compression of a video signal is performed from the former using bandwidth compression equipment so that the amount of data may not exceed the limitation.

[0003] Since high coding luminous efficacy is acquired, the orthogonal transformation coding method which is an example of such bandwidth compression and which quantizes the transform coefficient which carries out orthogonal transformation of the HARASHIN number, and is obtained, and is encoded is widely used from the former. When applying this method to a video signal, a video signal is divided into the small block which consists of an $n \times n$ (n :integer) pixel first, and orthogonal transformation is given to each block, it changes into the transform coefficient of the frequency domain of $n \times n$, and this transform coefficient is quantized. However, when it quantizes by the same number of bits to all blocks, although quality of image sufficient in a picture image block of a flat field is obtained, in the picture image block containing an edge field, an error diffuses it around an edge field, and it serves as a noise.

[0004] There is what was indicated by JP,2-105792,A as coding equipment for solving this problem. Drawing 1 is a block diagram showing the configuration of the coding equipment shown in the aforementioned official report, and explains this coding equipment with reference to drawing 1 . After dividing into a small block the video signal inputted into the blocking circuit 51, orthogonal transformation of it is carried out in the orthogonal transformation circuit 52. It is quantized by the quantization circuit 53 which can quantize in two or more quantization numbers of bits, and the transform coefficient obtained by orthogonal transformation is outputted. At the edge field detector 54, the edge detection of a video signal is performed and it is detected by the flat part detector 55 whether it is a flat part. In the block judging circuit 56, it is judged based on the output of the edge field detector 54 and the flat part detector 55 whether the block is a block which made the edge field and the flat part intermingled. A judgment result is outputted to the quantization circuit 53, and the quantization number of bits is determined according to this judgment result. And when the whole block is flat, or when the whole block is complicated structure, since a noise is not conspicuous, it is determined as the few quantization number of bits. On the other hand, in the block with which the edge field and the flat part were intermingled, in order to prevent occurrence of the noise in a flat part, it is determined that they will be many quantization numbers of bits. Thus, in order that the coding equipment shown in the aforementioned official report may solve an above-mentioned problem, in the block with which an edge field and a flat part are intermingled, by quantizing a transform coefficient finely, it reduces a noise and is raising the quality of image of the picture after a decryption. By the way, in the decision criterion for detecting the edge field or flat part in a block, it is a distributed value within a block. Maximum of a block, There is a dynamic range of a block etc., and these name generically and are called activity exponent. With the conventional coding equipment mentioned above, it is made the configuration of changing the quantization number of bits (quantization level) for every block, based on the activity exponent.

[0005] Usually, using entropy code modulation, such as Huffman coding, variable length coding of the output of the quantization circuit 53 in drawing 1 is carried out, and it is transmitted. And it is various and it is helical-scan type digital VTR by what bit 1 block is completed as a result of variable length coding. It is more convenient to grasp whether the data for what block are recorded on one truck, when it is the record medium with which the length of one truck is decided like. Therefore, usually it decides whether to record the data for what block by one truck also at the lowest. Moreover, they are block correction signs (for example, BCH sign, a Reed Solomon code, etc.) as an error correcting code. When it chooses, the data length of a variable length sign may be fixed for every error correction block. Usually, since it is coding of a video signal, N (N :integer) split of one field or the one frame is carried out (the unit is called a unit), and the upper limit of the amount of data is set up in N units in each.

[0006]

[Problem(s) to be Solved by the Invention] However, for example, digital VTR with which the data length of a variable length sign is fixed In a transmission line [like], as a result of variable-length-coding processing, the data length of a variable length sign may not become fixed, but the total code length after variable length coding may exceed the fixed length of a transmission line, and overflow may be caused according to the modality of

picture image. In such a case, since a transmission is closed by data flow, the overflowing sign is not not only transmitted, but the information on subsequent will be sent. Therefore, when decrypting, there is a problem that decode cannot be carried out correctly.

[0007] In case variable length coding of the one screen of television is carried out, generally it encodes from the left of a television screen in order from a top to the bottom to the right. Therefore, in the center section of the television screen where the characteristic element of a picture image exists, there is a problem are easy to generate the above cancels.

[0008] this invention is made in view of ** or *****, and it is in the one purpose offering the video-signal coding equipment which can fix coded data length to a predetermined length, without inviting a degradation of quality of image to a decryption side.

[0009] Other purposes of this invention have distortion by the transmission cancel in offering the video-signal coding equipment which is hard to be detected visually, when the code length of the data which should be transmitted is being fixed.

[0010]

[Means for Solving the Problem] The video-signal coding equipment concerning the 1st invention of this application is DCT of a chrominance signal. It is characterized by constituting so that a block may make a shuffling unit the size occupied on a screen, the affiliation units of a ***** shuffling unit may differ, respectively and a shuffling may be carried out.

[0011] When the video-signal coding equipment concerning the 2nd invention of this application observes a certain arbitrary blocks, it is characterized by constituting so that the shuffling of each block may be carried out and it may carry out compression coding after that so that the units to which the block observed with the unit to which the about four block (block which exists at a short distance most) belongs belongs may differ.

[0012] It is characterized by the video-signal coding equipment concerning the 3rd invention of this application controlling the quantization number of bits and a coding operation based on the amount of data which has the buffer in which the amount of information equivalent to the data length of one truck is stored in the 1st or 2nd invention, and was contained by this buffer.

[0013] It is characterized by the video-signal coding equipment concerning the 4th invention of this application controlling a coding operation based on the amount of data which has the buffer in which the amount of information equivalent to the data length of one truck is stored in the 1st or 2nd invention, and was contained by this buffer.

[0014] It is characterized by constituting the video-signal coding equipment concerning the 5th invention of this application so that compression coding processing may be performed in each unit in the order of a block of a screen center section, and a block of a screen edge.

[0015]

[Function] S/N according [in the 1st invention, since a block of a chrominance signal applies a shuffling in the same unit as the size occupied on a screen, the bias of the amount of signs becomes small, and] to the amount control of signs a degradation prevents — having — in addition — and when it is special regeneration, it is reproduced per shuffling

[0016] In the 2nd invention, the following procedures perform a shuffling, for example. One screen (one field or one frame) is divided into N units for two or more blocks [every]. The address or the vertical address with the horizontal block encoded by the k-th in the u-th unit It is determined that it will become the number on the basis of the number which gave the division which took $N1$, or (integral multiple of $N1:N$) $N2$ (the integral multiple for an integer of $N2:N$, and integer) to law. Thus, if a certain arbitrary blocks are observed by connecting k and a block address, a shuffling can be performed so that the units to which the block observed with the unit to which the about four block belongs belongs may be made to differ. If it does in this way, since the block concentrated on the screen into the same unit does not exist, the amount of signs becomes almost equal in all units.

[0017] In the 3rd invention, since it has the buffer of a transmission marginal data length and this capacity, even if transmission data increase momentarily, the cancel of coding does not occur. Consequently, distortion by the transmission cancel is hard to be detected visually.

[0018] In the 4th invention, since it has the buffer of a transmission marginal data length and this capacity, even if transmission data increase momentarily, the cancel of coding does not occur. Consequently, distortion by the transmission cancel is hard to be detected visually.

[0019] Moreover, it becomes easy to generate distortion generated by the amount control of signs so that k is large. In the 5th invention, it concentrates on the screen edge at which the distortion is seldom conspicuous on a visual sense though distortion occurs, since the block in the center section of a screen has small k, the block in the edge of a screen carries out the shuffling of two or more blocks so that k may become large, and it encodes in the order of this shuffling.

[0020]

[Example] this invention is explained in full detail below based on the drawing in which the example is shown.

[0021] (The 1st example) Variable-length-coding data are stored in buffer memory, the remaining capacity of the buffer memory is supervised, occurrence of surplus data is judged, and the 1st example feeds back the decision result to a variable-length-coding control.

[0022] Drawing 2 is a block diagram showing the configuration of the 1st operation view. In drawing, 1 is a blocking circuit which blocks the digital video signal inputted for two or more pixels of every, and the blocking circuit 1 is DCT about each block. It outputs to a circuit 2. DCT A circuit 2 gives a discrete cosine transform

(DCT : Discrete Cosine Transform) to each block, and outputs the transform coefficient (DCT coefficient) obtained to it in the weighting circuit 3. The weighting circuit 3 is each DCT. DCT by which the weighting was carried out after giving weighting (weighting) to a coefficient A coefficient is outputted to the quantization circuit 4. The quantization circuit 4 is DCT by which the weighting was carried out. A coefficient is quantized by the quantization number of bits determined with a controller 8, and it outputs to the variable-length-coding circuit 5 through a switch 7. DCT by which the variable-length-coding circuit 5 was quantized RAM which has the data capacity which carries out variable length coding of the coefficient, and is equivalent to the data length of one truck in variable-length-coding data etc. — it outputs to the buffer memory 6 constituted ON/OFF of the data input to the variable-length-coding circuit 5 is changed by the switch 7. A controller 8 controls a change of the quantization number of bits and the switch 7 in the quantization circuit 4 based on the amount of data contained by buffer memory 6.

[0023] Next, an operation is explained.

[0024] The data which sample a video signal and were obtained are DCT after the blocking circuit 1 blocked in 8 pixels of horizontal directions, and 8 pixels of perpendicular directions. It is DCT by the circuit 2. DCT which is performed and is obtained As for a coefficient, a weighting is given by the weighting circuit 3. It is DCT of a RF field in that case. Weight is attached so that a value may become small in a coefficient. This is because bandwidth compression can be carried out, without a degradation being conspicuous since resolution falls visually [a RF field]. Next, DCT by which the weighting was carried out in the quantization circuit 4 A coefficient is quantized. The quantized n-bit data are expressed as shown in drawing 3 . By the variable-length-coding circuit 5, as shown in drawing 4 , the single-dimension scanning of this data is carried out, and variable length coding is carried out. the number (zero run length) with which, as for the variable-length-coding circuit 5, 0 continues — un— with the value of 0, it is the coding network from which code length is different, and Huffman coding etc. is usually used well The output of the variable-length-coding circuit 5 is stored in buffer memory 6, and is outputted to a transmission system.

[0025] However, the length of the variable length sign outputted by the pattern of a picture image from this variable-length-coding circuit 5 takes various status, and exceeds or is less than the amount of signs of the limitation which should be transmitted by the case. A controller 8 compares the address value and limit data length of buffer memory 6 under writing, and expects occurrence of surplus data. And a change of the quantization number of bits and the switch 7 in the quantization circuit 4 is controlled by the output signal from a controller 8.

[0026] Therefore, even if data increase rapidly momentarily in the specific fraction of the picture image of a television screen, since the data capacity of buffer memory 6 is fully large, overflow is not caused and a controller 8 does not judge the cancel of a transmission.

[0027] Drawing 5 is a block diagram showing the configuration of the modification of the 1st example. In this modification, the controller 8 is controlling only the change of a switch 7.

[0028] (The 2nd example) The 2nd example is characterized by encoding screen data preferentially from the screen center section of a television screen in the 1st above-mentioned example.

[0029] Drawing 6 is a block diagram showing the configuration of this 2nd example, and the fraction which attached view 2 in drawing and the jack per line shows the same fraction. The blocking circuit 1 and DCT The shuffling of each block inputted from the blocking circuit 1 so that screen data might be preferentially encoded from the screen center section of a television screen between circuits 2 is carried out, and it is DCT. The shuffling circuit 9 for outputting to a circuit 2 is formed.

[0030] Drawing 7 shows the shuffling sequence in this shuffling circuit 9. Drawing 7 (a) The example which carries out a shuffling to the shape of a whorl toward a periphery from a screen center section is shown. Moreover, drawing 7 (b) The example which expands to right and left and carries out a shuffling to screen lengthwise sequentially from a screen center section is shown. Furthermore, drawing 7 (c) The example which expands to screen longitudinal direction up and down sequentially from a screen center section, and carries out a shuffling to it is shown.

[0031] Thus, in the 2nd example, since it encodes preferentially from a screen center section, even if the cancel of transmission data arises by occurrence of surplus data, the cancel is produced in a screen edge. Therefore, distortion by the cancel is not visually conspicuous.

[0032] In addition, the shuffling sequence in the shuffling circuit 9 is drawing 7 (a). (b) It is necessary to be the last method shown in (c), and is good also by random numbers. For example, 7 (d) The television screen is divided into five and shuffling sequence may be determined in each field sequentially from a screen center section according to random numbers so that it may be shown.

[0033] Drawing 8 is a block diagram showing the configuration of the modification of the 2nd example. In this modification, the controller 8 is controlling only the change of a switch 7.

[0034] (The 3rd example) The 3rd example which determines the quantization number of bits in a quantization circuit based on the activity exponent of a block and the data length after variable length coding is explained.

[0035] Since the fraction which drawing 9 is a block diagram showing the configuration of the 3rd example, and attached drawing 2 and the jack per line in drawing shows an identity or a considerable member, those explanations are omitted. The quantization circuit 4 is DCT by which the weighting was carried out. A coefficient is quantized by the quantization number of bits determined in the quantization number-of-bits decision circuit 14, and it outputs to the variable-length-coding circuit 5. Moreover, the quantization circuit 4 is DCT in which the weighting was carried out by the number of bits with more 1 bit than this quantization number of bits

determined. A coefficient is quantized and it outputs to the data reconstruction circuit 10. DCT by which the variable-length-coding circuit 5 was quantized a coefficient — variable length coding — carrying out — variable-length-coding data — RAM etc. — it outputs to the buffer memory 11 constituted Moreover, the variable-length-coding circuit 5 has the possibility of overflow, and outputs the data which were not able to carry out variable length coding to the data reconstruction circuit 10. The data reconstruction circuit 10 reconfigures the data from the variable-length-coding circuit 5, and the data from the quantization circuit 4, and outputs the reconfigured data to the variable-length-coding circuit 13. the variable-length-coding circuit 13 — input data — variable length coding — carrying out — variable-length-coding data — RAM etc. — it outputs to the buffer memory 15 constituted The output of the data from buffer memory 11 and 15 is changed with a switch 12.

[0036] Next, an operation is explained.

[0037] The blocking circuit 1 and DCT Since the basic operation of a circuit 2, the weighting circuit 3, the quantization circuit 4, and the variable-length-coding circuit 5 is the same as that of the 1st example mentioned above, the explanation is omitted.

[0038] The length of the variable length sign outputted by the pattern of a picture image from the variable-length-coding circuit 5 takes various status, and exceeds or is less than the amount of signs of the limitation which should be transmitted by the case. That this should be solved, the quantization number-of-bits decision circuit 14 determines the quantization number of bits so that the quantization number of bits may become small (it is set to a coarse quantization level like) so that the busy condition of buffer memory 11 fills closely.

[0039] Although the quantization number of bits was determined only from the activity exponent of a picture image in the conventional example, it has determined the quantization number of bits in the 3rd example in view of both an activity exponent and the busy condition of buffer memory 11. And after encoding all predetermined blocks that should be transmitted, it is constituted so that variable-length-coding data may be sent to a transmission line from buffer memory 11. As mentioned above, since the quantization number of bits is determined in view of an activity exponent and the amount of signs of an encoded block, the control to overflow is good.

[0040] The example of decision of such quantization number of bits is shown in drawing 10. In addition, it is DCT although the busy condition and activity exponent of buffer memory 11 are made into the decision criteria in drawing 10. It cannot be overemphasized that the number which broke the amount of the buffer memory 11 used by the number of a block which carried out and gave the variable length sign, i.e., the mean code length per block, may be added to a decision criteria. Thus, the probability from which the value after quantizing since the quantization number of bits will become small if the busy condition of buffer memory 11 fills closely is set to 0 becomes large. Therefore, code length when variable length coding is carried out decreases in per pixel. The amount of signs generated if it is made such and buffer memory 11 will fill closely decreases, and can perform an effective control to overflow.

[0041] Moreover, when it lapses into the really critical status to the overflow status, or when it is predicted that it will fall, the measures which close variable length coding in the place called A by the side of a RF as shown in drawing 11 may be taken.

[0042] Although the above is the overflow control to buffer memory 11, it may be less than the amount of signs of a transmission limitation as mentioned above, the modality, for example, the pattern, of a picture image. in this case, a limitation — last-minute — operation which encodes and adds coded data is carried out until full The operation about this is explained.

[0043] DCT by which the weighting was carried out When the coefficient was quantized to n bits and it is determined by the quantization number-of-bits decision circuit 14, the quantization circuit 4 is quantized in n bits or $(n+1)$ a bit. $(n+1)$ The least significant bit quantized by the bit is S/N after decode, when this least significant bit is transmitted and decode is carried out in consideration of this least significant bit, although it is the information which is not encoded in the variable-length-coding circuit 5. It is improved. That is, when additional coverage arises in a transmission line, the data for a quality-of-image improvement are added and transmitted. Although the quantization circuit 4 is outputting the $(n+1)$ bit to the data reconstruction circuit 10 in drawing 9, this is a least significant bit at the time of quantizing in a bit $(n+1)$. What is necessary is fundamentally, just to carry out variable length coding of this. Variable length coding of this least significant bit is carried out in the variable-length-coding circuit 13.

[0044] Since the information at the time of raising 1 bit resolution and quantizing can be added and transmitted when the amount of signs after variable length coding is less than the amount of transmission marginal signs if it does in this way, it can encode by the quality of image of high quality with a fixed transmission rate.

[0045] The data of B-M by which variable length coding had been struck in the variable-length-coding circuit 5 as drawing 11 showed from the variable-length-coding circuit 5 to the data reconstruction circuit 10 are inputted. Since it is easy to produce distortion, in the 3rd example, it re-encodes and the close which was shown in drawing 11 stores this closed data, and when additional coverage finally arises in a transmission line, it is made to add it according to this invention person's simulation. If it does in this way, the evil by the close of the drawing 11 which distortion tends to produce will decrease. In this case, what is necessary is to make it into 0 except the data which had coding closed in the variable-length-coding circuit 5, and just to carry out variable length coding again in the variable-length-coding circuit 13. In this case, it is more convenient to add the address of the block which closed as an information.

[0046] In the data reconstruction circuit 10, the data with which the least significant bit at the time of quantizing

in the data with which variable length coding mentioned above was closed, and the above-mentioned bit $(n+1)$ was reconfigured and reconfigured as data are outputted to the variable-length-coding circuit 13. The data of B-M of the drawing 11 which had variable length coding closed in the variable-length-coding circuit 5 which showed this data reconstruction circuit 10 in drawing 11 are left as it is, set the other data to 0, further, add the data of a $2^{(n+1)}$ bit of the least significant bit of the data quantized by low order in the quantization circuit 4, and reconfigure data. The output of this data reconstruction circuit 10 is considered as the input of the variable-length-coding circuit 13.

[0047] Variable length coding of the data which participate in a quality-of-image degradation since the data of the least significant bit at the time of quantizing in a 1 bit excess and the data shaved by overflow control are reconfigured, if it does in this way is carried out preferentially, they can be transmitted, and it is S/N after a decryption. It is possible to make it high.

[0048] In addition, as a coding table used in the variable-length-coding circuits 5 and 13 mentioned above, as for the input data of the variable-length-coding circuit 5, and the input data of the variable-length-coding circuit 13, since data distributions differ, entropy falls and the coding luminous efficacy of direction which designed the coding table corresponding to each as bandwidth compression improves. the case where the information on a $2^{(n+1)}$ bit is added — un—— since the value of 0 is always 1, if variable length coding of the data of only zero run length is carried out, it can desire especially the enhancement in coding luminous efficacy that what is necessary is to encode only zero run length Although it is more advantageous for a hardware configuration top to use the same coding table, coding luminous efficacy is bad.

[0049] Thus, if the coding table used in the variable-length-coding circuits 5 and 13 makes it differ, it is possible to make high coding luminous efficacy as bandwidth compression.

[0050] In the variable-length-coding circuit 13, variable length coding of the reconfigured data is carried out, and variable-length-coding data are outputted to buffer memory 15, and are accumulated in buffer memory 15. If the data from buffer memory 11 are transmitted certainly first and are less than the amount of signs of a transmission limitation, a switch 12 is changed to a buffer memory 15 side, on a time-axis, serially, multiplex [of the data] will be carried out and they will be transmitted. Although all the data of buffer memory 11 are outputted to a transmission system by the thing important in that case, the data of buffer memory 15 are that a switch 12 operates so that it may limit to the grade with which a part for the produced additional coverage is filled. Therefore, all the data of buffer memory 15 are not necessarily transmitted. By this, variable-length-coding data can be transmitted effectively, without leaving the amount of transmission additional coverage.

[0051] As data with it better [to transmit besides variable-length-coding data in the above video-signal coding equipments], it is DCT. It can decrypt, if there is only an information which expresses quantization number-of-bits n at worst, although the block address of a block which had variable length coding closed as shown in the information and the drawing 11 showing n at the time of being quantized by the block address of a block and n bits is raised.

[0052] Then, only the information which expresses quantization number-of-bits n with a sign system side is added to the output of the variable-length-coding circuit 5, and it memorizes to buffer memory 11, and inserts in a transmission system. A decode side understands being made to the data of a $2^{(n+1)}$ bit for the output of the variable-length-coding circuit 13 which is an additional information if quantization number-of-bits n is transmitted.

[0053] Drawing 12 is a block diagram of a decryption system. In drawing, 21 is a switch which divides the data multiplexed in the orientation of a time-axis. The divided variable-length-coding data are inputted into buffer memory 22 and 23, respectively, and are memorized. It is decrypted in the corresponding variable length decryption circuit 24 and 25, and buffer memory 22 and the variable-length-coding data read from 23 are DCT after the original weighting. A coefficient is outputted to the data reconstruction circuit 26. Data are reconfigured in the data reconstruction circuit 26, and it is outputted to the reverse weighting circuit 27. In this case, since the information showing quantization number-of-bits n is added, after reconfiguring data, reconstruction data can be outputted to the reverse weighting circuit 27. reverse weighting (reverse weighting) needs to do in the reverse weighting circuit 27 — reverse DCT a circuit 28 — reverse DCT It is given and the original blocking video signal is obtained. In addition, although the position of buffer memory 22 (23) and the variable length decryption circuit 24 (25) may be changed in drawing 12, since the direction of a configuration of being shown in drawing 12 will contain the variable-length-coding data after compression to buffer memory 24 (25), there is little the capacity and it ends. Moreover, they are the reverse weighting circuit 27 and reverse DCT about the data reconstruction circuit 26. To say nothing of [although located in the upstream side of a circuit 28] other positions being used, they are reverse weighting and reverse DCT to each data. The arrangement which performs a data reconstitution after giving individually, i.e., for example, reverse DCT, You may constitute so that a data reconstruction circuit may be arranged to the lower-stream-of-a-river side of a circuit.

[0054] Drawing 13 is a block diagram showing the configuration of the modification of the 3rd *****, and the fraction which attached drawing 9 and the jack per line shows the same member among drawing. The data reconstruction circuit in this example consists of a variable length decryption circuit 16 which carries out the variable length decryption of the output of the variable-length-coding circuit 5, a 0 insertion circuit 17 which inserts zero data in the variable length decryption circuit 16, and a subtractor 18 which subtracts the output of 0 insertion circuit 17 from the data of the bit $(n+1)$ from the quantization circuit 4, and is outputted to the variable-length-coding circuit 13. In this case, the quantization circuit 4 is convenient when both the result quantized to n bits and the result quantized in the bit $(n+1)$ are outputted.

[0055] Moreover, drawing 14 is a block diagram showing the configuration of the modification of the 3rd example, and the fraction which attached drawing 9 and the jack per line shows the same member among drawing. Variable length coding of the data quantized in the bit (n+1) is outputted and carried out from the quantization circuit 4 in the direct variable-length-coding circuit 13.

[0056] Furthermore, drawing 15 is a block diagram showing the configuration of the modification of the 3rd example, and the fraction which attached drawing 9 and the jack per line shows the same member among drawing. Variable length coding of the data by which variable length coding was not carried out is outputted and carried out in the variable-length-coding circuit 5 from the variable-length-coding circuit 5 in the direct variable-length-coding circuit 13.

[0057] The input to the quantization number-of-bits decision circuit 14 which determines that it quantizes to n bits in the 3rd example mentioned above is DCT. It is with front data and the amount of the memory used in ***** 11. DCT Although the activity exponent of a picture was computed from front image data and the quantization number of bits was determined with reference to the amount of the buffer memory 11 used, and the amount of mean signs per block It is DCT in order to perform the amount control of signs finely to a slight degree. It cannot be overemphasized that next data may also be referred to and the quantization number of bits may be determined. Moreover, you may change the quantization number of bits by the luminance signal and the chrominance signal.

[0058] (The 4th example) The 4th example which determines the quantization number of bits based on the activity exponent and occurrence event number of a block is explained. Although the sign to which code length differs from variable-length-coding processing with the data originally generated was given, when the number of data is enlarged for this (namely, when it looks at several 10,000 - several 100,000 sign) The amount of signs decreases in a bias. furthermore, when several 10,000 - several 100,000 sign were seen, that it is stable with about 5-7 bits has checked the mean code length of per one event (0 run length — un— the unit which one value of 0 generates is called one event) by the simulation If this is used conversely, the whole amount of signs can be predicted quite correctly by counting an event number. The example which predicts the amount of signs using the property of such a variable length sign, and determined the quantization number of bits based on the forecast is the 4th example.

[0059] Since the fraction which drawing 16 is a block diagram showing the configuration of this 4th example, and attached drawing 9 and the jack per line in drawing shows an identity or a considerable member, those explanations are omitted. The variable-length-coding circuit 5 is 0 run counter 31 which counts zero run of the output of the quantization circuit 4, and 0 run counter 101. It consists of an event counter 32 which counts the number of events which occurs by counted value, an event conversion circuit 33 which changes an event so that it may mention later based on the counted value of the event counter 32, and a variable-length-coding machine 34 which carries out variable length coding of the output of the event conversion circuit 33.

[0060] Next, an operation is explained.

[0061] In addition, since the basic operation of the 4th example is similar with the 3rd example mentioned above, it explains only a different point. The example of decision of the quantization number of bits in the quantization number-of-bits decision circuit 14 is shown in drawing 17. In the 4th example, use anticipation and the activity exponent of buffer memory 11 are made into the decision criteria. Thus, when the busy condition of buffer memory 11 is expected to fill closely, the probability from which the value after quantizing like the 3rd example since the quantization number of bits becomes small is set to 0 becomes large. Therefore, code length when variable length coding is carried out decreases in per pixel. The amount of signs generated if it is made such and buffer memory 11 will fill closely decreases, and can perform an effective control to overflow. Moreover, when it lapses into the really critical status to the overflow status, or when it is predicted that it will fall, variable length coding may be closed in the place called A by the side of a RF like the 3rd example as shown in drawing 11.

[0062] in the variable-length-coding circuit 5, although preparing 0 run counter 31 which counts zero run, and counting the content (0 run length — un— the value of 0) of an event as a setup before carrying out variable length coding usually comes out, occurrence of the sign for every one event occurrence is told to the event counter 32 by this 0 run counter 31, the event number is counted, and the amount of occurrence signs is predicted For example, it asks for the mean event number per block etc., and this result is fed back to the quantization number-of-bits decision circuit 14, in view of an activity exponent and both, the quantization number of bits is determined, as shown in drawing 17, and the amount of signs is controlled.

[0063] Regardless of such a feedback, counting of the event number is again carried out by the event counter 32, it waits for counting of the total event number, and the amount control of signs is applied by the event conversion circuit 33. for example, the case where it is predicted that the amount of signs becomes large by the event counter 32 — each event — un— the value of 0 — one half When it carries out and below decimal point is omitted, there is a value newly set to 0. this — un— it is the case where the value of 0 is 1 When 0 occurs newly, the run length of a subsequent event is added and it is the run length of the event with the still new value which added 1. It is as follows when this is described concretely.

[0064] for example, the run length of the k-th event — 5 — un— the run length of the event whose values of 0 are 6 and the k+1st — 2 — un— the run length of the event whose values of 0 are 1 and the k+2nd — 7 — un— the value of 0 presupposes that it was 17 supposing it makes it operate to the direction which lessens the amount of signs by the amount forecast of signs at this time — an above-mentioned example for example, — the run length of the k-th event — 5 — un— the value of 0 — 3 — changing — the run length of the k+1st events — 2 — un— the value of 0 — 0 — changing — the run length of the k+2nd events — 7 — un— the

value of 0 changes into 8

[0065] Since 0 occurs k+1st most newly at this time, the k+2nd and the k+1st events unify, and it becomes the k+1st events newly. the k+1st new events — run length — 10 of $2+7+1$ — becoming — un—— the value of 0 is set to 8 Moreover, the k+2nd new events turn into the k+3rd front events, the k+3rd new events turn into the k+4th front events, a new event is created by turns henceforth, and an event number is cut down only for the number of 0 which occurred newly.

[0066] The internal configuration of the event conversion circuit 33 for performing such an operation is shown in drawing 18. The delay circuit 35 to which only one event delays for him and outputs the run length by whom the event conversion circuit 33 is inputted, The adder 36 which adds the run length inputted as the output of a delay circuit 35, and also adds 1, The output of a delay circuit 35 is inputted into one input terminal, and the output of an adder 36 is inputted into the input terminal of another side. The switch 37 which can switch both inputs, it is inputted — un—— with the divider 38 which divides the value of 0 by 2 and omits below decimal point the case where it distinguishes whether the output of a divider 38 is 0, it gives a control signal to a switch 37 in being 0, and it is not 0 — the — un—— 0 distinction circuit 39 which outputs the value of 0 is inputted — un—— it consists of a delay circuit 40 to which only one event delays for it and outputs the value of 0 And when a control signal is inputted from 0 distinction circuit 39, a switch 37 chooses the output from an adder 36, and when a control signal is not inputted, a switch 37 chooses the output from a delay circuit 35.

[0067] By using such an event conversion circuit 33, in case the number of bits quantized by the quantization circuit 4 at once is changed, there is an advantage that it can change easily by one 0 run counter. When there is such no event conversion circuit 33, two of 0 run counter for the amount forecast of variable length signs and 0 run counter after number-of-bits change are needed.

[0068] an operation of this event conversion circuit 33 ***** — un—— carrying out the division of the value of 0 — not indispensable — a certain value 1 — an absolute value — the parvus — un—— it is compulsorily made 0 and the value of 0 can also change the content of an event Moreover, event conversion may be performed preponderantly, or a high frequency component may carry out event conversion of the place which does not need to carry out to each block identity, for example, was quantized finely in the quantization circuit 4 more preponderantly, and this event transform processing may perform it in adaptation. In addition, $1/2$ It is equivalent to the quantization number of bits having become the bit from n bits (n-1) when event change is carried out using an operation.

[0069] Drawing 19 is a block diagram showing the configuration of the modification of the 4th example, and uses the amount counter 30 of occurrence signs instead of the event counter 32 of drawing 16. 0 run length asked for the amount counter 30 of occurrence signs by 0 run counter 31 — un—— if the value of 0 is considered as an input, it is the circuit which counts the amount of occurrence signs, the numbers of bits, such as EOB (sign which shows the last of an EOB:block), are added to this for every 1 block processing end and it is broken by the block count [finishing / the amount count of signs], the whole amount of occurrence signs can be predicted [0070] In addition, when the data which it stopped transmitting by being newly set to 0 by the event conversion circuit 33 should be reconfigured in the data reconstruction circuit 10, and it should not go as a forecast but the amount of signs is less than a forecast, a more fine control can be carried out by encoding as additional information. if this additional information is encoded in the variable-length-coding circuit 13, and it stores in buffer memory 15, and time-axis multiplex is carried out and it transmits with a switch 12, when the output of buffer memory 11 is below the amount of transmission marginal signs — a transmission limitation — additional information can be transmitted until last-minute

[0071] Moreover, an absolute value is parvus DCT when the amount of signs predicted in the event counter 32 or the amount counter 30 of occurrence signs exceeds a transmission limitation. For a coefficient, even if it stops a transmission, the influence on quality of image is the parvus, and an absolute value is usually parvus DCT. From a coefficient, it does not transmit one by one and carries out. Therefore, DCT It is important that the absolute value of a coefficient carries out counting of the parvus event when grasping the amount of signs after the amount control of signs. Namely, DCT The absolute value of a coefficient carries out counting of the event of 1, the event of 2, and the event of 3 separately by the event counter 32 or the amount counter 30 of occurrence signs, and if event conversion is performed using this information and the amount forecast result of signs, the more exact amount control of signs can be performed.

[0072] That is, the event of an absolute value 1 is above-mentioned one half. Although it becomes a non-transmitting event by the operation, it is grasping the number of these non-transmitting events correctly, and control precision increases. For example, it is one fourth when [be / almost / no event of an absolute value 1] there are many events of 2 and 3. It is necessary to build a non-transmitting event with an operation, and is one fourth to the event conversion circuit 33 then. What is necessary is just to direct to direct to calculate or to un-transmit the event of absolute values 1-3 compulsorily. Control precision improves by this.

[0073] By the way, such a control is performed and it is VTR. In case data are recorded on the tape of **, it is as having been shown above that the amount of signs generated by the pattern to record changes a lot. Moreover, although it was shown above because it was more convenient to fixed-length-ize a data length by 1 for an integer of one truck, it is the most convenient to usually divide and fixed-length-ize one field, one frame, or m frames to n units. For example, the amount of occurrence signs when dividing one frame into ten units is shown in drawing 20. -**- of drawing 20 hits the amount of signs. According to drawing 20, among ten units, four units exceed a transmission limitation greatly and are [others are large and] less than six. It is some S/N in order that a control of the orientation greatly closed to four units may work. The amount of signs must be cut

down at the sacrifice of a degradation, additional information etc. is added in remaining six units, and it is S/N. An improvement is expectable. When the 4th example performs the amount control of signs between units, the bias of such an amount of signs can be disregarded. The sign which overflowed with four units is because it can transmit if other six units (the unit of the following frame is used in fact) are used.

[0074] However, processing covering many units does not not much have a merit only by complicating hardware. Then, it is important to devise so that processing may be completed within a unit. That is, it is important that it is made to decrease the bias of the amount of signs of each unit as much as possible. Therefore, DCT It can consider equalizing the amount of occurrence signs of each unit by applying a shuffling so that a block of the same unit may not exist four about [block]. The amount of occurrence signs when applying such a shuffling is shown in drawing 20 by -O-. As shown in drawing 20, it turns out that the amount of occurrence signs is equalized considerably by such [actually] shuffling. Thus, after equalizing, when the amount control of signs closed in each unit is carried out, it is very convenient the following point. The hardware configuration is very easy in order to end with the amount control of signs closed in each unit. S/N according to rate curtailment since the need of saying that rate curtailment only especially of a certain part in one frame is carried out does not generate the amount of signs even if it closes in each unit and it carries out the amount control of signs It is not said partially [a degradation / a certain specific part on a screen].

[0075] If special regeneration is furthermore taken into consideration, it is DCT of the chrominance signal with few measurement sizes. It is still convenient if the amount control of the block of signs is carried out after applying such a shuffling as 1 lump. Namely, four DCT which followed longitudinal direction as shown in drawing 21 when the sample ratio of brightness and a chrominance signal was 4:1:1 After applying a shuffling, using a block as a shuffling unit, the amount control of signs closed in the unit is performed. Because, when the regeneration to which brightness and the chrominance signal were equal will be possible and it will not apply such a shuffling if a shuffling is applied in such a unit although there is an unreproducible block in special regeneration, it is 2nd DCT from the left of a luminance signal. It is because a block etc. is missing and it becomes a very inferior special regeneration picture image.

[0076] When the sample ratio of brightness and a chrominance signal was 4:2:0 (**** sequential processing) again, as it was shown in drawing 22, they are two DCT to 2 and lengthwise in longitudinal direction. An above-mentioned **** shuffling is applied for a block as one shuffling unit. If it does in this way, it is one DCT of a chrominance signal. The size which a block occupies on a screen, and the shuffling unit of a luminance signal become the same. What is necessary is just to give a shuffling which showed this in drawing 23 as one shuffling unit. In drawing 23, it is an example of a shuffling at the time of the example of a shuffling at the time of the shuffling unit of drawing 22 being shown, and dividing one field into five units by the case where brightness and a chrominance-signal sample ratio are 4:2:0. Moreover, drawing 24 is a shuffling unit in case brightness and a chrominance-signal sample ratio are 4:1:0.

[0077] (The 5th example) In case a unit is constituted conventionally, using two or more blocks as a unit and coded data is obtained for every unit, it has encoded collectively from the location (for example, upper left of a screen) concentrated on one place of a screen. Therefore, when the upper limit of the amount of data is set as the unit whose amount of signs changes the amount of signs greatly for every unit, and increases, there is a problem that a transmission efficiency becomes bad. What was made in order to solve such a problem is the 5th example and the 6th example mentioned later.

[0078] Drawing 25 being a block diagram showing the configuration of the video-signal coding equipment concerning this invention, and setting it to drawing, 2, 3, 4, and 5 are DCT, respectively. It is a circuit, a weighting circuit, a quantization circuit, and a variable-length-coding circuit, and these are the same as that of what is shown in drawing 9 . DCT The blocking shuffling circuit 41 which blocks a digital video signal in the preceding paragraph of a circuit 2 for two or more pixels of every, and carries out the shuffling of each acquired block to it is formed, and the blocking shuffling circuit 41 is DCT about blocking data. It outputs to a circuit 2. The quantization circuit 4 is DCT in which the weighting was carried out by the quantization number of bits determined in the quantization number-of-bits decision circuit 43. A coefficient is quantized and it outputs to the variable-length-coding circuit 5. The variable-length-coding circuit 5 is quantized DCT. Variable length coding of the coefficient is carried out, and variable-length-coding data are outputted to buffer memory 42.

[0079] Next, an operation is explained.

[0080] After inputting a digital video signal into the blocking shuffling circuit 41 in the order of the scanning line and blocking it by the nxn pixel in one field or one frame, in the shuffling format shown in drawing 26, it is alike and a shuffling is carried out. 1 block of drawing 26 is DCT. It corresponds to a block and an outer frame is equivalent to TV screen. For example, it is 13.5MHz about the luminance signal of an NTSC color TV system. When it samples, the effective scanning area in one frame is horizontally. It is 486 to 720 pixels and a perpendicular direction. Pixel presence is recognized. Supposing it blocks this by 8x8 pixels, it is the video signal which should make not encode the data for the three horizontal scanning feedback from ***** of a screen since it remains, and should be encoded six perpendicularly. 720x480 It considers as a pixel. Since this is blocked by 8x8 pixels, 5400 90x60-block blocks can be performed. That is, if the block address of i and a perpendicular direction is set to j for the horizontal block address in one frame, i will take $1 \leq i \leq 90$, and j will take the domain of $1 \leq j \leq 60$.

[0081] Moreover, these 5400 blocks are divided into N units. In drawing 26, the case of N= 5 is shown and the alphabet fraction in A1, B1, etc. which were assigned by each block of drawing 26 shows the identifier of a unit. since it is N= 5 — the identifier of a unit — five kinds of A-E — existing . Moreover, it is the number which

showed whether the number fraction in A1 and B1 would be encoded by what position in each unit.

[0082] Although the order from a top to the bottom encodes from the left of a screen generally in drawing 26 to the right, since 90 blocks exists horizontally, the number of the 2nd line has begun from the number (19) which added 1 to the number (18) which broke 90 by N (=5) from on drawing 26 in this example. That is, the block address (i, j) (however, (1, 1) make a screen upper-left corner (90 and 60) a screen lower-right corner) encoded in the k-th in the u-th unit is expressed with the following formula (1).

[0083]

[Equation 1]

$$\left. \begin{aligned} i &= N \times \text{mod}(k-1, \frac{90}{N}) \\ &\quad + \text{mod}(u + \left[\frac{(k-1) \times N}{90} \right] - 1, N) + 1 \\ j &= \left[\frac{(k-1) \times N}{90} \right] + 1 \end{aligned} \right\} \dots (1)$$

[a] : aを超えない最大の整数

[0084] For example, u= 2 and the block address at the time of k= 20, i=5xmod(20-1 and 18)+mod[2+ [(19x5)/90]-1, 5]+1=5x1+mod(2, 5)+1=5+2+1=8 j= [(19x5)/90]+1 It is set to =2 and is (8, 2). Moreover, u= 2 is B20, when it is shown that a unit name is B and it considers in drawing 26. It is shown that the position expressed by (8, 2) has a block. the same — C57 [for example,] If the address of a block is searched for i=5xmod(57-1 and 18)+mod[— 3+[(56x5)/90]-1 and 5]+1=5x2+mod(3+3- 1, 5)+1=10+0+1=11 since it is j= 4 (11, 4) — it becomes That is, drawing 26 showed the block array after giving a shuffling by the relation like the above-mentioned formula (1).

[0085] Thus, a shuffling is carried out and each block is DCT to order. It is sent to a circuit 2 and is DCT. It is changed and a weighting is carried out by the weighting circuit 3. The activity exponent of each block calculates in the quantization number-of-bits decision circuit 43, the quantization number of bits is determined based on the activity exponent, and it is outputted to the quantization circuit 4. DCT after a weighting After a coefficient is quantized by this quantization number of bits in the quantization circuit 4, quantization data are encoded in the variable-length-coding circuit 5 using signs, such as Huffman coding, and it delivers to buffer memory 42 and is accumulated.

[0086] Thus, if a shuffling is given, since the pattern of the block encoded will become a rose rose, if the block count becomes above to some extent, the length of the amount of signs will become the grade that every unit is almost the same. In the simulation which this invention person performed, the distributed value of the amount of signs which shows the variation in the amount of signs by the case where one place which does not give such a shuffling but has a screen, and which solidified is broken and hit to one unit, and the case where a shuffling is given, broken and hit as shown in drawing 26 can be dedicated now to about 1/5 -1/10.

[0087] Next, the characteristic feature of this shuffling is considered. Although I understand that it is good and it is if a block of a fixed pattern is not centralized on the same unit when this shuffling considers the effect given to the amount of signs, it is as follows, when a correlation of a pixel is doubled and this is considered. Since the ***** block is a certain observed block in many cases to the similar pattern, a ***** block performs processing in which it assigns a different unit. This is explained from the view of near.

[0088] Each nine squares of drawing 27 are DCT. It is a block. A certain observed block has eight ***** blocks (A-F of drawing 27). This is called about 8 block. Among those, four blocks especially with a near distance, A, B, C, and D, are called about 4 block. Now, if one arbitrary block is observed in drawing 26, as for the block which belongs to the same unit as an attention block with the about 4 block, one does not exist. As for the block belonging to the unit with the same said of the about 8 block, only two exist. Thus, by making the units to which each block belongs in spatial nearest about 4 block differ, it has prevented the same pattern concentrating on one unit. This has brought an operation called equalization of the amount of signs.

[0089] However, this has not only the case of a formula (1) but very many methods. Drawing 28 - view 30 shows a mere example in it. There is nothing that belongs to the unit same during about 4 block also in the example of the shuffling of drawing 28 - view 30. The block address (i, j) in drawing 28 is expressed with a lower formula.

[0090]

[Equation 2]

$$i = \left[\frac{\text{mod}(k-1, 90)}{N} \right] \times N + \left[\frac{N+1}{2} \right] + (-1)^{\text{mod}(k, N)} \times \left[\frac{\text{mod}(k, N)}{2} \right]$$

$$j = \text{mod}(\text{mod}(k-1, 90) + u - 1, N) + 1 + N \times \left[\frac{k-1}{90} \right]$$

[0091] For example, D98 Since blocks are $u=4$ and $k=98$ $i = [\text{mod}(97 \text{ and } 90)/5] \times 5 + 3 + (-1) \times 3 \times [\text{mod}(98 \text{ and } 5)/2] = 5 + 3 - 1 = 7$ $j = \text{mod}((7+4-1, 5)1+5 \times 1 = 0+1+5$ It is set to $=6$ and located in $(7, 6)$. Moreover, the block address (i, j) in drawing 29 is expressed with a lower formula.

[0092]

[Equation 3]

$$i = \text{mod}(\text{mod}(k-1, 90) + u, N) + \left[\frac{\text{mod}(k-1, 90)}{N} \right] \times N$$

$$j = \left[\frac{k-1}{90} \right] \times N + \left[\frac{N+1}{2} \right] + (-1)^{\text{mod}(k-1, N)} \times \left[\frac{\text{mod}(\text{mod}(k-1, 90), N) + 1}{2} \right]$$

[0093] for example, a block of E102 — $u=5$ and $k=102$ it is — since — $i = \text{mod}(11+5, 5) + [11/5] \times 5 = 1+10 = 11$ $j = 1 \times 5 + 3 + (-1) \times [\text{mod}(11, 5) + 1]/2$

$= 5 + 3 - 1$ It is set to $=7$ and located in $(11 \text{ and } 7)$. The formula which connects the shuffling of drawing 30 similarly also exists, and there are things various otherwise.

[0094] The circuit which performs such a shuffling is realizable if it constitutes as shown in drawing 31. Among drawing, it is the block-address arithmetic circuit which calculates the block level address (i) and the block perpendicular address (j) , and the block address for which it was asked in the block-address arithmetic circuit 46 is outputted to writing and the read-out address generation circuit 45 by each formula which mentioned 46 above. Writing and the read-out address generation circuit 45 output the address writing and for read-out to RAM 44 based on a block address. In RAM 44, each block is arranged according to this address, and a shuffling which is shown in drawing 26 and the drawings 28-30 is realized.

[0095] (The 6th example) Although one field or the amount of signs of each unit in one frame becomes almost uniform when a shuffling is performed as mentioned above, in the case of an animation, a pattern changes completely and one field or the amount of signs of each unit in one frame is fluctuated a number of seconds after. And when the amount of signs increases in each unit, the amount of data which can be transmitted may be exceeded. Especially, it is helical-scan type VTR. Since it divides and it is made to hit at the sign of a number of blocks which fixed the amount of fixation which divided one truck by the length which is set to 1 for an integer as mentioned above, and was restricted to each to a case, this problem is serious. The 6th example was devised in order to prevent this. The 6th example is explained below.

[0096] Drawing 32 and the drawing 33 are block diagrams showing the configuration of the video-signal coding equipment concerning the 6th example, and the fraction which attached view 25 in drawing and the jack per line shows the same member. In drawing 32, the quantization circuit 4 and the variable-length-coding circuit 5 are controlled by the information on the memory operating condition of buffer memory 42. Moreover, in drawing 33, the quantization number-of-bits decision circuit 43 and the variable-length-coding circuit 5 are controlled by the information on the memory operating condition of buffer memory 42.

[0097] Buffer memory 42 has the capacity to memorize the data of the amount according to the amount of signs to restrict. Since it is shown that possibility that the sign exceeding a transmission limitation will be generated becomes high if this buffer memory 42 becomes near full, the quantization number of bits is made small, or the grade which closes variable length coding is controlled. However, it can only perform such a control that such a control is performing the control on which the amount of signs is dropped by dropping the quality of the picture image after decode by the mid gear of a screen as a result of the above-mentioned shuffling. Since possibility that such a control will be performed by the block in the direction of the last of each unit is high, the blocking shuffling circuit 41 operates so that the block inputted into the last direction in each unit may become the fraction of the edge of a screen. Such an example of a shuffling is shown in drawing 34.

[0098] In drawing 34, as for the block with a large number, it turns out that the number has gathered in the direction of the right-and-left edge of a screen by the parvus block having gathered in the center of a screen.

And although drawing 34 is in the case of $N=5$, about 4 block of arbitrary attention blocks does not belong to the same unit as an attention block. A shuffling as shown in drawing 34 is expressed with a lower formula when the block [k -th] block address of the u -th unit is set to (i, j) .

[0099]

[Equation 4]

$$i = \frac{90}{2} - (-1)^{\left[\frac{(k-1) \cdot N}{60} \right]} \\ \times \left[\frac{\left[\frac{(k-1) \cdot N}{60} \right] + 1}{2} \right] \\ j = \left(\left[\frac{60+N}{2N} \right] - 1 \right) \times N + 1 \\ - (-1)^{\text{mod} \{ (k-1), (60/N) \}} \\ \times N \times \left[\frac{\text{mod} \left(k-1, \frac{60}{N} \right) + 1}{2} \right] \\ + \text{mod} \left(\left[\frac{(k-1) \cdot N}{60} \right] + u - 1, N \right)$$

[0100] for example, a block of C134 — $u=3$ and $k=134$ it is — since — $i=45-(-1)^{11} \times [6]$
 $= 45+6 j=51 ([65/10]-1) \times 5+1-(-1)^1 \times 5 \times 1 + \text{mod} (11+3-1, 5)$
 $= 26+5+3$ It is set to $=34$ and located in (51 and 34).

[0101] The example of such a shuffling has many besides having mentioned above, and shows the example to drawing 35 — view 39. Although the address of the perpendicular direction of a block had begun from the screen upper limit in drawing 37 — view 39, in the simulation, it checked that it became the right-and-left edge of a screen that distortion arises like drawing 34. moreover — although drawing 38 is the same shuffling as drawing 37 — the case of $N=10$ — being shown — **** — a unit name — ten kinds of A-K (since it is easy to confuse I with 1, it is excluded) — it is . Moreover, although drawing 39 is the same shuffling as drawing 37, the case of $N=3$ is shown. Here, a shuffling as shown in drawing 37 is expressed with a lower formula.

[0102]

[Equation 5]

$$i = \frac{90}{2} - (-1)^{\left[\frac{(k-1) \cdot N}{60} \right]} \\ \times \left[\frac{\left[\frac{(k-1) \cdot N}{60} \right] + 1}{2} \right] \\ j = N \times \text{mod} \left(k-1, \frac{60}{N} \right) + 1 \\ + \text{mod} \left(\left[\frac{(k-1) \cdot N}{60} \right] + u - 1, N \right)$$

[0103] for example, the drawing 37 — setting — a block of E147 — $u=5$ and $k=147$ it is — since — $i=45-(-1)^{12} \times [(12+1)/2]$
 $= 45-6=39 j=5 \times 2+1+\text{mod} (12+5-1, 5)$
 $= 11+1=12$ (39, 12). It is located.

[0104] If a shuffling which was mentioned above is given, distortion by the amount control of signs will be concentrated on the right-and-left edge of a screen. In addition, although the time of the block which belongs to the same unit during about four block existing may happen when referred to as $N=2$ by the above-mentioned formula, it is the problem produced in order to connect this so that it may become the edge of a screen so that k becomes large, and since it passes over such a block only to the mere part on a screen, it does not have big influence on the bias of the amount of signs. usual digital VTR **** — since making N or more into three in consideration of special regeneration etc. usually comes out and there is, it does not become a problem practically Moreover, in drawing having shown the shuffling, although based on the operation which gave the

division which all took N to law, it cannot be overemphasized that the effect with the same said of the division which made law the integral multiple of N or the integer for an integer of N is shown. For example, although the division which usually takes law to 10 is performed in $N=10$, it is good also for 5 $\{10 (1/2)\}$ also for 20 in law. [0105] Although the 5th and 6 above-mentioned example explained the case where a shuffling was performed per block, a block may be considered to be the unit of 1 conclusion, for example (txs), and a shuffling may be applied in this unit.

[0106] At each above-mentioned example, it is DCT to orthogonal transformation. Although explained for the example, they are DCT, such as a Hadamard transform and K-L conversion. You may use other orthogonal transformation of an except. Moreover, the weighting circuit 3 can be omitted when changing the quantization width of face of the quantization circuit 4 depending on a frequency.

[0107]

[Effect of the Invention] As mentioned above, according to the 1st invention, it is DCT of a chrominance signal. Since a block applies a shuffling in the same unit as the size occupied on a screen, it is good S/N. It can decrypt and is effective in special regeneration quality of image being good.

[0108] Since according to the 2nd invention it was made to encode after performing a shuffling so that the unit to which arbitrary blocks belong may differ from the unit to which about 4 block of this arbitrary block belongs, the amount of signs in each unit can be equalized, and it is effective in the ability to improve a transmission efficiency.

[0109] Since a shuffling is applied even if the cancel of coding does not occur even if transmission data increase momentarily and transmission data increase continuously, since according to the 3rd invention it has the buffer of a transmission marginal data length and this capacity and the quantization number of bits and a coding operation are controlled according to the busy condition of a buffer, it is effective in distortion by the transmission cancel being hard to be detected visually.

[0110] Since a shuffling is applied even if the cancel of coding does not occur even if transmission data increase momentarily and transmission data increase continuously, since according to the 4th invention it has the buffer of a transmission marginal data length and this capacity and a coding operation is controlled according to the busy condition of a buffer, it is effective in distortion by the transmission cancel being hard to be detected visually.

[0111] According to the 5th invention, in each unit, since it encodes in the order of a block of a screen center section, and a block of a screen edge, it can concentrate on the edge of a screen and distortion by the amount control of signs is also effective in enabling the suitable decode picture image as which a quality-of-image degradation is not regarded visually to obtain.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-232628

(P2000-232628A)

(43) 公開日 平成12年8月22日 (2000.8.22)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ド ⁷ (参考)
H 0 4 N 5/92		H 0 4 N 5/92	H
H 0 4 J 3/00		H 0 4 J 3/00	M
H 0 4 N 7/30		H 0 4 N 7/133	Z

審査請求 有 請求項の数 5 O L (全 24 頁)

(21) 出願番号 特願2000-15490 (P2000-15490)
(62) 分割の表示 特願平4-6162の分割
(22) 出願日 平成4年1月17日 (1992.1.17)

(31) 優先権主張番号 特願平3-3758
(32) 優先日 平成3年1月17日 (1991.1.17)
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平3-141531
(32) 優先日 平成3年6月13日 (1991.6.13)
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平3-145752
(32) 優先日 平成3年6月18日 (1991.6.18)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72) 発明者 三嶋 英俊
京都府長岡京市馬場園所1番地 三菱電機
株式会社電子商品開発研究所内
(74) 代理人 100102439
弁理士 宮田 金雄 (外2名)

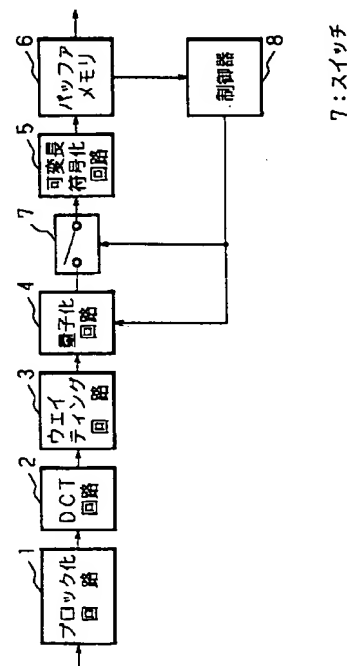
最終頁に続く

(54) 【発明の名称】 映像信号符号化装置

(57) 【要約】

【課題】 復号化側において画質の劣化を招くことなく、符号化データ長を所定の長さに固定化でき、伝送すべきデータの符号長が固定されている場合においても、伝送打ち切りによる歪が視覚的に検知されにくい映像信号符号化装置を提供する。

【構成】 映像ブロックのアクティビティ指数と可変長符号化回路5での符号化後のデータ長とに基づいて、または、映像ブロックのアクティビティ指数とイベント数とに基づいて、量子化回路4における量子化ビット数を決定する映像信号符号化装置。ある任意の映像ブロックに注目した際にその4近傍の映像ブロックが所属するユニットと注目する映像ブロックが所属するユニットとが異なるように、各映像ブロックをシャフリングした後、映像信号を圧縮して符号化する。各映像ブロックを圧縮して符号化するには、画面の中央部のブロックから辺縁部のブロックにかけて順に符号化する。



【特許請求の範囲】

【請求項1】 色信号を含むデジタルの映像信号を圧縮して符号化する映像信号符号化装置において、前記映像信号を複数の画素毎にマトリクス状にブロックを構成するブロック構成手段と、構成した各ブロックに直交変換を施して変換係数を得る変換手段と、得た変換係数を符号化して符号化データを得る符号化手段と、前記色信号のブロックが画面に占める大きさをシャフリング単位とし、任意の1シャフリング単位が属するユニットとこの1シャフリング単位に最も近距離である4個のシャフリング単位が属するユニットとが異なるように、各ブロックをシャフリングして、前記変換手段が直交変換を施す前に、複数のブロックを単位とする各ユニットを構成するユニット構成手段とを備えることを特徴とする映像信号符号化装置。

【請求項2】 デジタルの映像信号を圧縮して符号化する映像信号符号化装置において、前記映像信号を複数の画素毎にマトリクス状にブロックを構成するブロック構成手段と、構成した各ブロックに直交変換を施して変換係数を得る変換手段と、得た変換係数を符号化して符号化データを得る符号化手段と、任意の1ブロックが属するユニットと該1ブロックに最も近距離である4個のブロックが属するユニットとが異なるように、前記変換手段が直交変換を施す前に、複数のブロックを単位とするユニットを構成するユニット構成手段とを備えることを特徴とする映像信号符号化装置。

【請求項3】 変換係数を量子化し、量子化後のデータを前記符号化手段に送る量子化手段と、前記符号化手段のデータ量と略同量の収納容量を有し、得られた符号化データを収納する収納手段と、該収納手段に収納された符号化データのデータ量に基づいて、前記量子化手段における量子化ビット数及び前記符号化手段の動作のオン／オフを制御する制御手段とを更に備えることを特徴とする請求項1または2記載の映像信号符号化装置。

【請求項4】 前記符号化手段のデータ量と略同量の収納容量を有し、得られた符号化データを収納する収納手段と、該収納手段に収納された符号化データのデータ量に基づいて、前記符号化手段の動作のオン／オフを制御する制御手段とを更に備えることを特徴とする請求項1または2記載の映像信号符号化装置。

【請求項5】 デジタルの映像信号を圧縮して符号化する映像信号符号化装置において、前記映像信号を複数の画素毎にマトリクス状にブロックを構成するブロック構成手段と、構成した各ブロックに直交変換を施して変換係数を得る変換手段と、得た変換係数を符号化して符号化データを得る符号化手段と、任意の1ブロックが属するユニットと該1ブロックに最も近距離である4個のブロックが属するユニットとが異なるように、前記変換手段が直交変換を施す前に、複数のブロックを単位とするユニットを構成するユニット構成手段と、各ユニ

ットにおいて、画面中央部のブロック、画面端部のブロックの順に従って各ブロックの符号化順序を決定する決定手段と、各ユニット毎に符号化データのデータ量を制御する制御手段とを備えることを特徴とする映像信号符号化装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、映像信号をブロック化し、各ブロックに直交変換を施して圧縮符号化する映像信号符号化装置に関するものである。

【0002】

【従来の技術】 デジタル信号に変換した映像データを、テープ等の記録媒体にそのまま記録すると、データ量は膨大であって、一般的には記録媒体に記録できる限界のデータ量を超えてしまう。従って、デジタルの映像信号をテープ等に記録する場合には、データ量がその限界を超えないように、映像信号を圧縮する必要があり、従来から高能率符号化装置を用いて映像信号の圧縮が行われている。

【0003】 このような高能率符号化の一例である、原信号を直交変換して得られる変換係数を量子化して符号化する直交変換符号化方式は、高い符号化効率を得られるので、従来から広く用いられている。映像信号に対してこの方式を適用する場合は、まず $n \times n$ (n : 整数)画素からなる小ブロックに映像信号を分割し、各ブロックに直交変換を施して $n \times n$ の周波数領域の変換係数に変換し、この変換係数を量子化する。ところが、すべてのブロックに対して同じビット数で量子化した場合、平坦領域の画像ブロックでは十分な画質は得られるが、エッジ領域を含む画像ブロックにおいてはエッジ領域の周辺に誤差が拡散してノイズとなる。

【0004】 この問題を解決するための符号化装置として、例えば特開平2-105792号公報に開示されたものがある。図1は、前記公報に示された符号化装置の構成を示すブロック図であり、図1を参照してこの符号化装置について説明する。ブロック化回路51に入力された映像信号は小ブロックに分割された後、直交変換回路52で直交変換される。直交変換により得られる変換係数は、複数の量子化ビット数にて量子化を行える量子化回路53により量子化されて出力される。エッジ領域検出回路54では映像信号のエッジ検出が行われ、平坦部検出回路55では平坦部であるかが検出される。ブロック判定回路56において、エッジ領域検出回路54及び平坦部検出回路55の出力に基づいて、そのブロックがエッジ領域と平坦部とを混在させたブロックであるか否かが判定される。判定結果は量子化回路53へ出力され、この判定結果に応じて量子化ビット数が決定される。そして、ブロック全体が平坦であるとき、またはブロック全体が複雑な構造であるときには、ノイズは目立たないので、少ない量子化ビット数に決定される。一方、エッジ領域と平坦部とが混在

したブロックでは、平坦部でのノイズの発生を防止するために、多い量子化ビット数に決定される。このように、前記公報に示された符号化装置は、上述の問題を解決するために、エッジ領域と平坦部とが混在するブロックでは変換係数を細かく量子化することによりノイズを低減し、復号化後の映像の画質を向上させている。ところで、ブロックにおけるエッジ領域または平坦部を検出するための判断基準には、ブロック内の分散値、ブロックの最大値、ブロックのダイナミックレンジ等があり、これらは総称してアクティビティ指数と呼ばれている。上述した従来の符号化装置では、アクティビティ指数に基づいて、量子化ビット数（量子化レベル）を各ブロック毎に変えるという構成にしている。

【0005】図1における量子化回路53の出力は、通常ハフマン符号などのエントロピー符号化を用いて可変長符号化されて伝送される。そして可変長符号化の結果、1ブロックが何ビットで終了するかは様々であり、ヘリカルスキャン型デジタルVTRのように1トラックの長さが決められているような記録媒体の場合、1トラックには何ブロック分のデータが記録されるかを把握しておく方が都合が良い。従って最低でも1トラックで何ブロック分のデータを記録するかを決めておくことが普通である。また、誤り訂正符号としてブロック訂正符号（例えばBCH符号、リードソロモン符号等）を選択した場合、誤り訂正ブロック毎に可変長符号のデータ長を固定化することもある。通常、映像信号の符号化であるので、1フィールドまたは1フレームを N （ N ：整数）分割して（その単位をユニットと称する）、 N 個のユニット各々でデータ量の上限を設定する。

【0006】

【発明が解決しようとする課題】ところが、可変長符号のデータ長が固定化されている例えばデジタルVTRのような伝送路では、可変長符号化処理の結果、画像の種類によっては可変長符号のデータ長が一定とならず、可変長符号化後の総符号長が伝送路の固定長を上回ってオーバーフローを起こしてしまうことがある。このような場合にはデータフローにより伝送が打ち切られるために、あふれた符号は伝送されないばかりでなく、その後の情報も送られないことになる。従って、復号化を行なった場合正しく復号できないという問題がある。

【0007】テレビの一面面を可変長符号化する際には、一般的にテレビ画面の左から右へ、上から下へ順に符号化する。従って、画像の特徴的な要素が存在するテレビ画面の中央部において、上記のような打ち切りが発生し易いという問題がある。

【0008】本発明は斯かる事情に鑑みてなされたものであり、その1つの目的は、復号化側において画質の劣化を招くことなく、符号化データ長を所定の長さに固定化できる映像信号符号化装置を提供することにある。

【0009】本発明の他の目的は、伝送すべきデータの

符号長が固定されている場合においても、伝送打ち切りによる歪が視覚的に検知されにくい映像信号符号化装置を提供することにある。

【0010】

【課題を解決するための手段】本願の第1発明に係る映像信号符号化装置は、色信号のDCTブロックが画面に占める大きさをシャフリング単位として、隣合うシャフリング単位の所属ユニットが夫々異なるようにシャフリングするように構成したことを特徴とする。

【0011】本願の第2発明に係る映像信号符号化装置は、ある任意のブロックに注目した際にその4近傍のブロック（最も近距離にあるブロック）が所属するユニットと注目するブロックが所属するユニットとが異なるように、各ブロックをシャフリングし、その後圧縮符号化するように構成したことを特徴とする。

【0012】本願の第3発明に係る映像信号符号化装置は、第1または第2発明において、1トラックのデータ長に相当する情報量を貯えるバッファを有し、このバッファに収納されたデータ量に基づいて、量子化ビット数及び符号化動作を制御するようにしたことを特徴とする。

【0013】本願の第4発明に係る映像信号符号化装置は、第1または第2発明において、1トラックのデータ長に相当する情報量を貯えるバッファを有し、このバッファに収納されたデータ量に基づいて、符号化動作を制御するようにしたことを特徴とする。

【0014】本願の第5発明に係る映像信号符号化装置は、各ユニットにおいて画面中央部のブロック、画面端部のブロックの順に圧縮符号化処理を施すように構成したことを特徴とする。

【0015】

【作用】第1発明では、色信号のブロックが画面に占める大きさと同じ単位でシャフリングをかけるので、符号量の偏りが小さくなり、符号量制御によるS/Nの劣化が防止され、なおかつ特殊再生のときにシャフリング単位で再生される。

【0016】第2発明では、例えば以下のような手順にてシャフリングを行う。複数のブロック毎に N 個のユニットに1画面（1フィールドまたは1フレーム）を分割し、第 u ユニットにおいて k 番目に符号化されるブロックの水平方向のアドレスあるいは垂直方向のアドレスが、 N_1 （ N_1 ： N の整数倍）あるいは N_2 （ N_2 ： N の整数分の整数倍、かつ整数）を法にとった除算を施した数を基礎にした数となるように決定する。このように k とブロックアドレスとを関係付けることにより、ある任意のブロックに注目すると、その4近傍のブロックが所属するユニットと注目するブロックの所属するユニットとを異ならしめるようにシャフリングを行える。このようにすると、同一ユニットの中に画面上で集中したブロックが存在しないので、符号量は全ユニットにおいて

ほぼ均等となる。

【0017】第3発明では、伝送限界データ長と同容量のバッファを有しているので、伝送データが瞬間的に増加しても符号化の打ち切りが発生しない。その結果、伝送打ち切りによる歪が視覚的に検知されにくい。

【0018】第4発明では、伝送限界データ長と同容量のバッファを有しているので、伝送データが瞬間的に増加しても符号化の打ち切りが発生しない。その結果、伝送打ち切りによる歪が視覚的に検知されにくい。

【0019】また、符号量制御により発生する歪はkが大きいほど発生しやすくなる。第5発明では、画面の中央部にあるブロックはkが小さく、画面の端部にあるブロックはkが大きくなるように複数のブロックをシャフリングし、このシャフリングの順に符号化を行うので、歪が発生したとしてもその歪は視覚上目立ちにくい画面端部に集中する。

【0020】

【実施例】以下本発明をその実施例を示す図面に基づいて詳述する。

【0021】（第1実施例）可変長符号化データをバッファメモリに格納し、そのバッファメモリの残容量を監視して剰余データの発生を判断し、その判断結果を可変長符号化制御にフィードバックするのが第1実施例である。

【0022】図2は第1実施例の構成を示すブロック図である。図において1は入力されるディジタルの映像信号を複数の画素毎にブロック化するブロック化回路であり、ブロック化回路1は各ブロックをDCT回路2へ出力する。DCT回路2は、各ブロックに離散コサイン変換（DCT：Discrete Cosine Transform）を施し、得られる変換係数（DCT係数）をウェイトニング回路3へ出力する。ウェイトニング回路3は、各DCT係数に対してウェイトニング（重み付け）を施した後、重み付けされたDCT係数を量子化回路4へ出力する。量子化回路4は、重み付けされたDCT係数を制御器8にて決定される量子化ビット数により量子化し、スイッチ7を介して可変長符号化回路5へ出力する。可変長符号化回路5は、量子化されたDCT係数を可変長符号化し、可変長符号化データを、1トラックのデータ長に相当するデータ容量を有するRAMなどで構成されるバッファメモリ6へ出力する。可変長符号化回路5へのデータ入力のON/OFFはスイッチ7により切替えられる。制御器8は、バッファメモリ6に収納されたデータ量に基づいて、量子化回路4における量子化ビット数及びスイッチ7の切替えを制御する。

【0023】次に動作について説明する。

【0024】映像信号をサンプリングして得られたデータは、例えば水平方向8画素、垂直方向8画素にてブロック化回路1によりブロック化された後、DCT回路2によりDCTが行われ、得られるDCT係数はウェイトニング

回路3により重み付けが施される。その際、高周波領域のDCT係数ほど値が小さくなるように重みが付けられる。これは、高周波領域ほど視覚的には分解能が落ちるので、劣化が目立つことなく高効率符号化できるからである。次に量子化回路4によって重み付けされたDCT係数が量子化される。量子化されたnビットのデータは例えば図3のように表現されている。このデータは、可変長符号化回路5により図4のように一次元走査して可変長符号化される。可変長符号化回路5は、例えば0が続く数（ゼロラン長）と非0の値とによって符号長が異なる符号化回路であり、通常ハフマン符号等が良く用いられる。可変長符号化回路5の出力はバッファメモリ6に蓄えられ伝送系に出力される。

【0025】ところが、画像の絵柄によりこの可変長符号化回路5から出力される可変長符号の長さは様々な状態を取り、場合によっては伝送されるべき限界の符号量を上回ったり、下回ったりする。制御器8は、書き込み中のバッファメモリ6のアドレス値と制限データ長とを比較して、剰余データの発生を予想する。そして、制御器8からの出力信号により、量子化回路4における量子化ビット数及びスイッチ7の切替えを制御する。

【0026】従って、テレビ画面の画像の特定部分で瞬間的にデータが急増しても、バッファメモリ6のデータ容量は充分に大きいので、オーバーフローを起こすことはなく、制御器8が伝送の打ち切りを判断することもない。

【0027】図5は、第1実施例の変形例の構成を示すブロック図である。この変形例においては、制御器8はスイッチ7の切替えのみを制御している。

【0028】（第2実施例）第2実施例は、上述の第1実施例において、画面データの符号化をテレビ画面の画面中央部から優先的に行なうことを特徴とする。

【0029】図6は、この第2実施例の構成を示すブロック図であり、図中図2と同番号を付した部分は同一部分を示す。ブロック化回路1とDCT回路2との間に、画面データの符号化をテレビ画面の画面中央部から優先的に行なうように、ブロック化回路1から入力された各ブロックをシャフリングしてDCT回路2へ出力するためのシャフリング回路9が設けられている。

【0030】図7は、このシャフリング回路9におけるシャフリング順序を示している。図7(a)は画面中央部から渦巻き状に外周に向かってシャフリングする例を示す。また図7(b)は画面縦方向に画面中央部から順に左右に拡大してシャフリングする例を示す。更に図7(c)は画面横方向に画面中央部から順に上下に拡大してシャフリングする例を示す。

【0031】このように、第2実施例では、画面中央部から優先的に符号化を行なうので、剰余データの発生により伝送データの打ち切りが生じても、画面端部においてその打ち切りは生じる。従って、視覚的には打ち切りによる

歪が目立たない。

【0032】なお、シャフリング回路9におけるシャフリング順序は図7(a), (b), (c)に示すような方式である必要はなく、乱数によってもよい。例えば、7(d)に示すように、テレビ画面を5分割しておき、画面中央部から順に各領域内において乱数に従ってシャフリング順序を決定してもよい。

【0033】図8は、第2実施例の変形例の構成を示すブロック図である。この変形例においては、制御器8はスイッチ7の切替えのみを制御している。

【0034】(第3実施例)ブロックのアクティビティ指数と可変長符号化後のデータ長とに基づいて量子化回路における量子化ビット数を決定する第3実施例について説明する。

【0035】図9は、第3実施例の構成を示すブロック図であり、図において図2と同番号を付した部分は、同一または相当部材を示すので、それらの説明は省略する。量子化回路4は、重み付けされたDCT係数を量子化ビット数決定回路14にて決定される量子化ビット数により量子化し、可変長符号化回路5へ出力する。また、量子化回路4は、この決定される量子化ビット数より1ビット多いビット数によっても重み付けされたDCT係数を量子化し、データ再構成回路10へ出力する。可変長符号化回路5は、量子化されたDCT係数を可変長符号化し、可変長符号化データをRAMなどで構成されるバッファメモリ11へ出力する。また、可変長符号化回路5は、オーバーフローの可能性があって可変長符号化できなかったデータを、データ再構成回路10へ出力する。データ再構成回路10は、可変長符号化回路5からのデータと量子化回路4からのデータとを再構成し、再構成したデータを可変長符号化回路13へ出力する。可変長符号化回路13は、入力データを可変長符号化し、可変長符号化データをRAMなどで構成されるバッファメモリ15へ出力する。バッファメモリ11、15からのデータの出力は、スイッチ12にて切替えられる。

【0036】次に動作について説明する。

【0037】ブロック化回路1、DCT回路2、ウェイトイング回路3、量子化回路4、可変長符号化回路5の基本動作は、前述した第1実施例と同じであるので、その説明は省略する。

【0038】画像の絵柄により可変長符号化回路5から出力される可変長符号の長さは様々な状態をとり、場合によっては伝送されるべき限界の符号量を上回ったり、下回ったりする。これを解決すべく、バッファメモリ11の使用状態が満杯に近くなるほど量子化ビット数が小さくなるように(粗い量子化レベルになるように)、量子化ビット数決定回路14は量子化ビット数を決定する。

【0039】量子化ビット数は従来例では画像のアクティビティ指数からのみ決定したが、第3実施例ではアクティビティ指数とバッファメモリ11の使用状態とを両方

鑑みて量子化ビット数を決定している。そして、伝送すべき所定のブロックがすべて符号化された後、バッファメモリ11から可変長符号化データが伝送路に送られるように構成されている。以上のように、アクティビティ指数と符号化済みのブロックの符号量とに鑑みて量子化ビット数を決定するので、オーバーフローに対する制御は良好である。

【0040】このような量子化ビット数の決定例を図10に示す。なお、図10ではバッファメモリ11の使用状態とアクティビティ指数とを決定基準としているが、DCTを行って可変長符号を施したブロックの個数でバッファメモリ11の使用量を割った数、即ち、1ブロックあたりの平均符号長をも決定基準に加えても良いことはいうまでもない。このように、バッファメモリ11の使用状態が満杯に近くなると量子化ビット数は小さくなるために量子化後の値は0となる確率が大きくなる。従って可変長符号化された場合の符号長は1画素あたりでは少なくなる。そのようにすると、バッファメモリ11が満杯に近くなると発生する符号量は減少されオーバーフローに対して有効な制御を行える。

【0041】また、オーバーフロー状態に対して本当に危機的な状態に陥った場合、または陥るであろうと予測された場合、図11のように例えば高周波側のAというところで可変長符号化を打ち切ってしまう処置をとることもある。

【0042】以上がバッファメモリ11に対するオーバーフロー制御であるが、上述のように画像の種類例えば絵柄によっては伝送限界の符号量を下回ってしまうこともある。この場合、限界ぎりぎり一杯まで符号化して符号化データを付加する操作をする。これについての動作を説明する。

【0043】重み付けされたDCT係数を n ビットに量子化すると、量子化ビット数決定回路14によって決められた場合、量子化回路4は n ビットないし $(n+1)$ ビットに量子化する。 $(n+1)$ ビットに量子化された最下位ビットは可変長符号化回路5では符号化されない情報であるが、この最下位ビットが伝送され、この最下位ビットを考慮して復号をすると復号後のS/Nが改善される。即ち、伝送路に余裕が生じた場合、画質改善のためのデータを付加して伝送する。図9において量子化回路4は第 $(n+1)$ ビットをデータ再構成回路10へ出力しているが、これは $(n+1)$ ビットで量子化した際の最下位ビットである。基本的にはこれを可変長符号化すれば良い。この最下位ビットは可変長符号化回路13にて可変長符号化される。

【0044】このようにすると、可変長符号化後の符号量が伝送限界符号量を下回った場合、1ビット分解能をあげて量子化した場合の情報を付加して伝送できるので、一定の伝送レートで高い品位の画質で符号化できる。

【0045】可変長符号化回路5からデータ再構成回路10へは、図11で示したように可変長符号化回路5で可変長符号化を打ち切られたB～Mのデータが入力される。本発明者のシミュレーションによると、図11で示したような打ち切りは歪が生じ易いので、第3実施例ではこの打ち切られたデータを再符号化して貯えておき、もし最終的に伝送路に余裕が生じた場合に付加するようにしている。このようにすると歪が生じやすい図11の打ち切りによる弊害は少なくなる。その場合は可変長符号化回路5で符号化を打ち切られたデータ以外を0として再度可変長符号化回路13にて可変長符号化すれば良い。この場合は打ち切りをしたブロックのアドレスを情報として付加しておく方が便利である。

【0046】データ再構成回路10において、前述した可変長符号化が打ち切られたデータと前述の $(n+1)$ ビットで量子化した場合の最下位ビットとがデータとして再構成されて、再構成されたデータは可変長符号化回路13へ出力される。このデータ再構成回路10は図11で示したような可変長符号化回路5で可変長符号化を打ち切られた図11のB～Mのデータはそのままにし、それ以外のデータを0とし、そのデータの最下位ビットのさらに下位に量子化回路4で量子化された第 $(n+1)$ ビットのデータを付加してデータを再構成する。このデータ再構成回路10の出力を可変長符号化回路13の入力とする。

【0047】このようにすると、1ビット余分に量子化した場合の最下位ビットのデータとオーバーフロー制御によって削られたデータとを再構成するので、画質劣化に関与するデータを優先的に可変長符号化して伝送でき、復号化後のS/Nを高くすることが可能である。

【0048】なお、上述した可変長符号化回路5、13において用いられる符号化テーブルとしては、可変長符号化回路5の入力データと可変長符号化回路13の入力データとはデータ分布が異なるので、それぞれに見合った符号化テーブルを設計した方がエントロピーは下がって高効率符号化としての符号化効率は向上する。第 $(n+1)$ ビットの情報を付け加える場合は非0の値は常に1であるので、ゼロラン長のみを符号化すれば良く、ゼロラン長のみをデータを可変長符号化すれば、特に符号化効率の向上を望める。ハードウェア構成上は同じ符号化テーブルを用いた方が有利であるが、符号化効率は悪い。

【0049】このように可変長符号化回路5、13において用いる符号化テーブルが異ならせると、高効率符号化としての符号化効率を高くすることが可能である。

【0050】再構成されたデータが可変長符号化回路13において可変長符号化され、可変長符号化データはバッファメモリ15へ出力されてバッファメモリ15内に蓄積される。バッファメモリ11からのデータがまず確実に伝送され、伝送限界の符号量を下回っておれば、スイッチ12をバッファメモリ15側に切替えて時間軸上でシリアルに

データを多重して伝送する。その際重要なことはバッファメモリ11のデータはすべて伝送系に出力されるが、バッファメモリ15のデータは生じた余裕分が満たされる程度にとどめるようにスイッチ12が動作することである。従ってバッファメモリ15のデータはすべて伝送されるとは限らない。このことによって、伝送余裕量を余すことなく有効に可変長符号化データを伝送できる。

【0051】以上のような映像信号符号化装置において可変長符号化データの他に伝送した方が良いデータとしては、DCTブロックのブロックアドレス、 n ビットに量子化された場合の n を表す情報、図11のように可変長符号化を打ち切られたブロックのブロックアドレス等があげられるが、最低限量子化ビット数 n を表す情報だけあれば復号化できる。

【0052】そこで符号系側で量子化ビット数 n を表す情報だけを可変長符号化回路5の出力に付加してバッファメモリ11に記憶して伝送系に挿入する。量子化ビット数 n が伝送されていれば付加的な情報である可変長符号化回路13の出力は、第 $(n+1)$ ビットのデータに対してなされたものであることが、復号側においてわかる。

【0053】図12は復号化系の構成図である。図において21は時間軸方向に多重化されたデータを分割するスイッチである。分割された可変長符号化データは、バッファメモリ22、23に夫々入力されて記憶される。バッファメモリ22、23から読み出された可変長符号化データは対応する可変長復号化回路24、25にて復号化されて、元の重み付け後のDCT係数がデータ再構成回路26へ出力される。データ再構成回路26にてデータが再構成され、逆ウェーティング回路27へ出力される。この際、量子化ビット数 n を表す情報が付加されているので、データを再構成した後に逆ウェーティング回路27へ再構成データを出力できる。逆ウェーティング回路27にて逆ウェーティング（逆重み付け）がなされ、逆DCT回路28にて逆DCTが施されて元のブロック化映像信号が得られる。なお、図12においてバッファメモリ22（23）と可変長復号化回路24（25）との位置を変えても良いが、図12に示す構成の方がバッファメモリ24（25）には圧縮後の可変長符号化データを収納することになるのでその容量は少なく済む。またデータ再構成回路26を逆ウェーティング回路27及び逆DCT回路28の上流側に位置したが、他の位置でも良いことはいうまでもなく、各データに逆ウェーティング及び逆DCTを個別に施した後にデータ再構成を行う配置、つまり例えば逆DCT回路の下流側にデータ再構成回路を配置するように構成してもよい。

【0054】図13は、第3実施例の変形例の構成を示すブロック図であり、図中、図9と同番号を付した部分は同様の部材を示す。この例におけるデータ再構成回路は、可変長符号化回路5の出力を可変長復号化する可変長復号化回路16と、可変長復号化回路16に0データを挿入する0挿入回路17と、量子化回路4からの $(n+1)$

ビットのデータから0挿入回路17の出力を減算して可変長符号化回路13へ出力する減算器18とから構成されている。この場合、量子化回路4はnビットに量子化した結果と(n+1)ビットに量子化した結果とを両方出力すると都合が良い。

【0055】また、図14は、第3実施例の変形例の構成を示すブロック図であり、図中、図9と同番号を付した部分は同様の部材を示す。量子化回路4から直接可変長符号化回路13へ、(n+1)ビットに量子化したデータが出力されて可変長符号化される。

【0056】更に、図15は、第3実施例の変形例の構成を示すブロック図であり、図中、図9と同番号を付した部分は同様の部材を示す。可変長符号化回路5から直接可変長符号化回路13へ、可変長符号化回路5にて可変長符号化されなかったデータが出力されて可変長符号化される。

【0057】上述した第3実施例では、nビットに量子化することを決定する量子化ビット数決定回路14への入力はDCT 前のデータとバッファメモリ11におけるメモリ使用量とであり、DCT 前の画像データから映像のアクティビティ指数を算出してバッファメモリ11の使用量と1ブロックあたりの平均符号量とを参照して量子化ビット数を決定したが、もう少しきめ細かく符号量制御を行うためにDCT 後のデータも参照して量子化ビット数を決定しても良いことは言うまでもない。また、輝度信号と色信号とで量子化ビット数を変えても良い。

【0058】(第4実施例)ブロックのアクティビティ指数と発生イベント数とに基づいて量子化ビット数を決定する第4実施例について説明する。可変長符号化処理とは本来発生するデータによって符号長が異なる符号を与えるが、これをデータ数を大きくしたとき(すなわち数万〜数十万の符号をながめたとき)その符号量は偏りが減る。更に、数万〜数十万の符号を見たとき1イベント(0ラン長と非0の値とが1つ発生する単位を1イベントという)あたりの平均符号長はほぼ5〜7ビットと安定していることがシミュレーションにより確認できた。このことを逆に利用すれば、イベント数を数えることにより全体の符号量をかなり正確に予測できる。このような可変長符号の性質を利用して符号量を予測し、その予測値に基づいて量子化ビット数を決定するようにした例が、第4実施例である。

【0059】図16は、この第4実施例の構成を示すブロック図であり、図において図9と同番号を付した部分は同一または相当部材を示すので、それらの説明は省略する。可変長符号化回路5は、量子化回路4の出力の0ランをカウントする0ランカウンタ31と、0ランカウンタ101のカウント値により発生するイベントの数をカウントするイベントカウンタ32と、イベントカウンタ32のカウント値に基づいて後述するようにイベントを変換するイベント変換回路33と、イベント変換回路33の出力を可

変長符号化する可変長符号化器34とから構成されている。

【0060】次に動作について説明する。

【0061】なお、第4実施例の基本動作は前述した第3実施例と類似しているため、異なる点のみを説明する。量子化ビット数決定回路14における量子化ビット数の決定例を図17に示す。第4実施例では、バッファメモリ11の使用予想とアクティビティ指数とを決定基準としている。このように、バッファメモリ11の使用状態が満杯に近くなると予想される場合には、第3実施例と同様に、量子化ビット数は小さくなるために量子化後の値は0となる確率が大きくなる。従って可変長符号化された場合の符号長は1画素あたりでは少なくなる。そのようにすると、バッファメモリ11が満杯に近くなると発生する符号量は減少されオーバーフローに対して有効な制御を行える。また、オーバーフロー状態に対して本当に危機的な状態に陥った場合、または陥るであろうと予測された場合、第3実施例と同様に、図11のように例えば高周波側のAというところで可変長符号化を打ち切ってしまうこともある。

【0062】可変長符号化回路5において、可変長符号化する前の準備として0ランをカウントする0ランカウンタ31を用意してイベントの内容(0ラン長と非0の値)を数えるのが普通であるが、この0ランカウンタ31により1イベント発生毎の符号の発生をイベントカウンタ32に伝え、そのイベント数をカウントして発生符号量を予測する。例えば1ブロック当たりの平均イベント数等を求め、この結果を量子化ビット数決定回路14にフィードバックし、アクティビティ指数と両方を鑑みて量子化ビット数を図17のように決定して符号量を制御する。

【0063】またこのようなフィードバックとは関係なくそのイベント数をイベントカウンタ32で計数し、その総イベント数の計数を待ってイベント変換回路33で符号量制御をかける。例えばイベントカウンタ32により符号量が大きくなると予測された場合、各イベントの非0の値を1/2にして小数点以下を切り捨てると新しく0になる値がある。これは非0の値が1の場合である。新しく0が発生した場合にはその後のイベントのラン長を加えさらに1を加えた値が新しいイベントのラン長である。これを具体的に記すと次のようになる。

【0064】例えば、k番目のイベントのラン長が5非0の値が6、k+1番目のイベントのラン長が2非0の値が1、k+2番目のイベントのラン長が7非0の値が17であったとする。このとき、符号量予測により符号量を少なくする方に動作させるとすると、例えば上述の例ではk番目のイベントのラン長が5非0の値が3に変化し、k+1番目のイベントのラン長が2非0の値が0に変化し、k+2番目のイベントのラン長が7非0の値が8に変換する。

【0065】このときk+1番目に新しく0が発生する

ため、 $k+2$ 番目と $k+1$ 番目のイベントが一体化し、新しく $k+1$ 番目のイベントとなる。新しい $k+1$ 番目のイベントはラン長が $2+7+1$ の10になり、非0の値は8になる。また、新しい $k+2$ 番目のイベントは前の $k+3$ 番目のイベントとなり、新しい $k+3$ 番目のイベントは前の $k+4$ 番目のイベントとなり、以後順々に新しいイベントが作成され、新しく発生した0の数だけイベント数が削減される。

【0066】このような動作を行なうためのイベント変換回路33の内部構成を図18に示す。イベント変換回路33は、入力されるラン長を1イベントだけ遅延して出力する遅延回路35と、遅延回路35の出力と入力されるラン長とを加算し更に1を加える加算器36と、一方の入力端子に遅延回路35の出力が入力され他方の入力端子に加算器36の出力が入力されて両方の入力を切換え可能なスイッチ37と、入力される非0の値を2で割り小数点以下を切り捨てる除算器38と、除算器38の出力が0であるか否かを判別し、0である場合には制御信号をスイッチ37へ与え、0でない場合にはその非0の値を出力する0判別回路39と、入力される非0の値を1イベントだけ遅延して出力する遅延回路40とから構成される。そして、0判別回路39から制御信号が入力された場合には、スイッチ37は加算器36からの出力を選択し、制御信号が入力されない場合には、スイッチ37は遅延回路35からの出力を選択する。

【0067】このようなイベント変換回路33を用いることにより、例えば一度量子化回路4によって量子化されたビット数を変更する際に0ランカウンタ1個だけで簡単に変更できるという利点がある。もし、このようなイベント変換回路33がない場合は可変長符号量予測のための0ランカウンタとビット数変更後の0ランカウンタとの2個が必要となる。

【0068】このイベント変換回路33の動作として非0の値を除算することは必須ではなく、ある値1より絶対値が小さい非0の値は強制的に0にしてイベントの内容を変換するということも可能である。またこのイベント変換処理は各ブロック同一に行う必要はなく、例えば量子化回路4で細かく量子化された所を重点的にイベント変換を行ったり、高周波成分ほど重点的にイベント変換したりして適応的に行っても良い。なお、 $1/2$ の演算を使ってイベント変更した場合は量子化ビット数が n ビットから $(n-1)$ ビットになったのと等価である。

【0069】図19は第4実施例の変形例の構成を示すブロック図であり、図16のイベントカウンタ32の代わりに発生符号量カウンタ30を用いている。発生符号量カウンタ30は0ランカウンタ31によって求められた0ラン長と非0の値とを入力として、発生符号量をカウントする回路であり、これに1ブロック処理終了毎にEOB(エンドオブブロック:ブロックの最後を示す符号)等のビット数を加え、それを符号量カウント済のブロック数で割ると

全体の発生符号量が予測できる。

【0070】なお、イベント変換回路33で新しく0となることで伝送されなくなったデータをデータ再構成回路10で再構成しておき、万が一予測どおりにいかず、符号量が予測値を下回った場合に、付加情報として符号化することで、よりきめが細かい制御をすることができる。この付加情報を可変長符号化回路13で符号化し、バッファメモリ15に貯え、バッファメモリ11の出力が伝送限界符号量以下の場合はスイッチ12にて時間軸多重して伝送すれば伝送限界ぎりぎりまで付加情報を伝送することができる。

【0071】またイベントカウンタ32または発生符号量カウンタ30において予測する符号量が伝送限界を上回った場合、絶対値が小さいDCT係数は伝送をやめても画質への影響が小さいので、通常絶対値が小さいDCT係数から順次伝送しなくする。従って、DCT係数の絶対値が小さいイベントを計数しておくことは符号量制御後の符号量を把握する上で重要である。すなわち、DCT係数の絶対値が1のイベント、2のイベント、3のイベントをイベントカウンタ32または発生符号量カウンタ30で別途計数しておき、この情報と符号量予測結果を使ってイベント変換を行うと、より正確な符号量制御ができる。

【0072】すなわち、絶対値1のイベントは上述の $1/2$ の演算で非伝送イベントとなるが、この非伝送イベントの数を正確に把握しておくことで、制御精度が増すのである。例えば絶対値1のイベントがほとんどなく2、3のイベントが多い場合は、 $1/4$ の演算で非伝送イベントをつくる必要があり、そのときはイベント変換回路33に $1/4$ の演算を行うよう指示するか、あるいは絶対値1～3のイベントは強制的に非伝送するように指示すれば良い。このことにより制御精度が向上する。

【0073】ところで、このような制御を行ってVTR用のテープにデータを記録する際、記録する絵柄によって発生する符号量が大きく変化するのには前に示したとおりである。また1トラックの整数分の1でデータ長を固定長化する方が都合が良いというのも前に示したが、通常1フィールドないし1フレーム又は m フレームを n 個のユニットに分割して固定長化することが最も都合が良い。例えば1フレームを10個のユニットに分割したときの発生符号量を図20に示す。図20の \triangle がその符号量にあたる。図20によれば10個のユニットのうち4つのユニットが大きく伝送限界を超え、他の6つは大きく下回っている。4つのユニットには大きく打切る方向の制御が働くため若干のS/Nの劣化を犠牲にして符号量を削減しなければならず、残り6つのユニットでは付加情報などが付け加えられS/Nの改善が期待できる。第4実施例によりユニット間における符号量制御を行う場合は、このような符号量の偏りは無視できる。なぜなら4つのユニットであふれた符号は他の6つのユニット(実際には次のフレームのユニットを使用)を使えば伝送できるか

らである。

【0074】しかし、あまり多数のユニットにわたる処理はハードウェアを複雑にするばかりでありメリットがない。そこでユニット内で処理が完結するように工夫することは重要である。すなわち、各ユニットの符号量の偏りをできるだけ少なくなるようにすることが重要である。そのためにDCTブロックの4近傍に同一ユニットのブロックが存在しないようにシャフリングをかけることで各ユニットの発生符号量を平均化することが考えられる。そのようなシャフリングをかけたときの発生符号量を図20に○で示す。図20に示すように実際にこのようなシャフリングで発生符号量はかなり平均化されていることがわかる。このように平均化された後に各ユニットで閉じた符号量制御をすると次の点で非常に都合が良い。各ユニットで閉じた符号量制御で済むためハードウェア構成が非常に容易である。各ユニットで閉じて符号量制御をしても符号量を1フレーム内のある箇所だけを特にレート削減するという必要が発生しないため、レート削減によるS/Nの劣化が画面上のある特定の箇所にかたよるといことがない。

【0075】さらに特殊再生を考慮すると、サンプル数が少ない色信号のDCTブロックをひとかたまりとしてこのようなシャフリングをかけた後に符号量制御すればさらに都合が良い。すなわち輝度・色信号のサンプル比が4:1:1の場合、図21に示した如く横方向に連続した4つのDCTブロックをシャフリング単位としてシャフリングをかけたのちユニットで閉じた符号量制御を行う。なぜなら、特殊再生の場合、再生不能なブロックがあるが、このような単位でシャフリングをかけると、輝度・色信号ともにそろった再生が可能であり、このようなシャフリングをかけない場合は、例えば輝度信号の左から2番目のDCTブロックなどが欠落したりして極めて劣悪な特殊再生画像となるからである。

【0076】また輝度・色信号のサンプル比が4:2:0（色線順次処理）の場合、図22に示した如く、横方向に2、縦方向に2つのDCTブロックを1つのシャフリング単位として上述の如きシャフリングをかける。このようにすると、色信号の1つのDCTブロックが画面上に占める大きさと、輝度信号のシャフリング単位が同じになる。これを1つのシャフリング単位として例えば図23に示したようなシャフリングを施せば良い。図23では輝度・色信号サンプル比が4:2:0の場合で、図22のシャフリング単位のときのシャフリング例を示したものであり、1フィールドを5つのユニットに分割した場合のシャフリング例である。また図24は輝度・色信号サンプル比が4:1:0の場合のシャフリング単位である。

【0077】（第5実施例）従来、複数のブロックを単位としてユニットを構成し、各ユニット毎に符号化データを得る際に、画面の1ヵ所に集中した場所（例えば画面の左上）からまとめて符号化している。従って、ユニ

ット毎に符号量が大きく変動してしまい符号量が多くなるユニットにデータ量の上限を設定すると、伝送効率が悪くなるという問題がある。このような問題を解消するためになされたものが、第5実施例及び後述する第6実施例である。

【0078】図25は、本発明に係る映像信号符号化装置の構成を示すブロック図であり、図において2、3、4、5は夫々DCT回路、ウェーティング回路、量子化回路、可変長符号化回路であり、これらは図9に示すものと同一のものである。DCT回路2の前段には、デジタルの映像信号を複数の画素毎にブロック化し、得られた各ブロックをシャフリングするブロッキング・シャフリング回路41が設けられており、ブロッキング・シャフリング回路41は、ブロック化データをDCT回路2へ出力する。量子化回路4は、量子化ビット数決定回路43にて決定される量子化ビット数により重み付けされたDCT係数を量子化し、可変長符号化回路5へ出力する。可変長符号化回路5は、量子化されたDCT係数を可変長符号化し、可変長符号化データをバッファメモリ42へ出力する。

【0079】次に動作について説明する。

【0080】デジタルの映像信号が走査線の順序でブロッキング・シャフリング回路41に入力され、1フィールドあるいは1フレーム内の $n \times n$ 画素でブロッキングされた後、例えば図26に示したシャフリング様式にてシャフリングされる。図26の1ブロックはDCTのブロックに対応し、外枠はTV画面に相当する。例えばNTSC方式の輝度信号を13.5MHzでサンプリングした場合、1フレームでの有効走査エリアは水平方向に720画素、垂直方向に486画素存在する。これを例えば 8×8 画素でブロッキングしたとすると垂直方向に6余るので、画面の上下短から3水平走査帰還分のデータは符号化しないことにして、符号化すべき映像信号を 720×480 画素とする。これを 8×8 画素でブロッキングするので 90×60 ブロックの5400個のブロックができる。即ち、1フレーム内の水平方向のブロックアドレスを i 、垂直方向のブロックアドレスを j とすると、 i は $1 \leq i \leq 90$ 、 j は $1 \leq j \leq 60$ の範囲をとる。

【0081】またこの5400個のブロックを N 個のユニットに分割する。図26では $N=5$ の場合を示しており、図26の各ブロックに割りふられたA1、B1等におけるアルファベット部分はユニットの名前を示している。 $N=5$ であるのでユニットの名前はA～Eの5種類存在する。またA1、B1における数字部分は各ユニットにおいて何番目に符号化されるかを示した数字である。

【0082】図26では概して画面の左から右へ上から下への順に符号化されているが、この例では水平方向には90ブロック存在するので図26の上から2行目の数字は90を $N(=5)$ で割った数(18)に1を加えた数(19)から始まっている。即ち、第 u ユニットにおいて第 k 番目

において符号化されるブロックアドレス (i, j) (但し、(1, 1) は画面左上隅 (90, 60) は画面右下隅とする) は次式 (1) で表される。

$$\left. \begin{aligned} i &= N \times \text{mod}(k-1, \frac{90}{N}) \\ &\quad + \text{mod}(u + \left[\frac{(k-1) \times N}{90} \right] - 1, N) + 1 \\ j &= \left[\frac{(k-1) \times N}{90} \right] + 1 \end{aligned} \right\} \dots (1)$$

[a] : a を超えない最大の整数

【0084】例えば u = 2, k = 20 のときのブロックアドレスは、

$$\begin{aligned} i &= 5 \times \text{mod}(20-1, 18) + \text{mod} \left[2 + \left[(19 \times 5) / 90 \right] - 1, 5 \right] + 1 \\ &= 5 \times 1 + \text{mod}(2, 5) + 1 \\ &= 5 + 2 + 1 = 8 \\ j &= \left[(19 \times 5) / 90 \right] + 1 \\ &= 2 \end{aligned}$$

となり、(8, 2) である。また u = 2 は、ユニット名が B であることを示しており、図26で考えるとブロックが (8, 2) で表現される位置にあることを示し★

$$\begin{aligned} i &= 5 \times \text{mod}(57-1, 18) + \text{mod} \left[3 + \left[(56 \times 5) / 90 \right] - 1, 5 \right] + 1 \\ &= 5 \times 2 + \text{mod}(3+3-1, 5) + 1 \\ &= 10 + 0 + 1 = 11 \\ j &= 4 \end{aligned}$$

であるので (11, 4) となる。即ち、前述の式 (1) のような関係でシャフリングを施した後のブロック配列を示したのが図26である。

【0085】このようにシャフリングされて各ブロックが順に DCT 回路2へ送られ、DCT 変換されてウェーティング回路3により重み付けされる。量子化ビット数決定回路43で各ブロックのアクティビティ指数が演算され、そのアクティビティ指数に基づいて量子化ビット数が決定され、量子化回路4へ出力される。重み付け後の DCT 係数が、量子化回路4にてこの量子化ビット数により量子化された後、可変長符号化回路5にて、量子化データがハフマン符号等の符号を用いて符号化され、バッファメモリ42に送出されて蓄積される。

【0086】このようにシャフリングを施すと、符号化されるブロックの絵柄がバラバラになるので、ブロック数がある程度以上になると符号量の長さがどのユニットでもほぼ同じ程度になる。本発明者が行ったシミュレーションでは、このようなシャフリングを施さず画面のあるかたまった1ヵ所を1つのユニットに割りあてた場合と、図26に示した如くシャフリングを施して割りあてた場合とで、その符号量のバラツキを示す符号量の分散値は1/5 ~ 1/10程度に納めることができるようになった。

【0087】次に、このシャフリングの特徴について考える。このシャフリングが符号量に与える効果を考えると、同じユニットに一定の絵柄のブロックを集中させな

ければ良いということであるが、これを画素の相関を合わせて考えると次のようになる。ある注目したブロックに隣合うブロックは似た絵柄になっている場合が多いので、隣合うブロックは異なるユニットに割り当てるという処理を行う。このことを近傍という考え方から説明する。

【0088】図27の9個の各正方形は DCT ブロックである。ある注目したブロックに隣合うブロックは8個 (図27のA~F) ある。これを8近傍ブロックと称する。そのうち特に距離に近いA, B, C, Dの4個のブロックを4近傍ブロックと称する。さて、図26において任意の1つのブロックに注目すると、その4近傍ブロックで注目ブロックと同じユニットに属するブロックは1つも存在しない。その8近傍ブロックについても同じユニットに属するブロックは2つしか存在しない。このように空間的に最も近い4近傍ブロックにおいて各ブロックが所属するユニットを異ならしめることで、同じような絵柄が1つのユニットに集中することを防いでいる。このことが符号量の均一化という作用をもたらしている。

【0089】しかしこのことは式 (1) の場合だけではなく、非常に多くの方式がある。図28~図30はその中のほんの一例を示している。図28~図30のシャフリングの例でも4近傍ブロック中には同一のユニットに属するものはない。図28におけるブロックアドレス (i, j) は、下式で表される。

[0090]

【数2】

$$i = \left[\frac{\text{mod}(k-1, 90)}{N} \right] \times N + \left[\frac{N+1}{2} \right] \\ + (-1)^{\text{mod}(k, N)} \times \left[\frac{\text{mod}(k, N)}{2} \right]$$

$$j = \text{mod}(\text{mod}(k-1, 90) + u - 1, N)$$

$$+ 1 + N \times \left[\frac{k-1}{90} \right]$$

* [0091] 例えばD98のブロックは、 $u=4$ 、 $k=98$ であるので、

10

*

$$i = [\{ \text{mod}(97, 90) \} / 5] \times 5 + 3 + (-1)^j \\ \times [\{ \text{mod}(98, 5) \} / 2] \\ = 5 + 3 - 1 \\ = 7 \\ j = \text{mod}(7 + 4 - 1, 5) + 1 + 5 \times 1 \\ = 0 + 1 + 5 \\ = 6$$

となり、(7, 6)に位置する。また、図29におけるブロックアドレス(i, j)は、下式で表される。

* [0093] 例えばE102のブロックは、 $u=5$ 、 $k=10$ 20 2であるので、

[0092]

【数3】

$$i = \text{mod}(\text{mod}(k-1, 90) + u, N)$$

$$+ \left[\frac{\text{mod}(k-1, 90)}{N} \right] \times N$$

$$j = \left[\frac{k-1}{90} \right] \times N + \left[\frac{N+1}{2} \right] + (-1)^{\text{mod}(k-1, N)} \\ \times \left[\frac{\text{mod}(\text{mod}(k-1, 90), N) + 1}{2} \right]$$

30

*

$$i = \text{mod}(11 + 5, 5) + [11/5] \times 5 \\ = 1 + 10 \\ = 11 \\ j = 1 \times 5 + 3 + (-1) \times [\{ \text{mod}(11, 5) + 1 \} / 2] \\ = 5 + 3 - 1 \\ = 7$$

となり、(11, 7)に位置する。同様に図30のシャフリングを関係付ける式も存在し、他にも様々なものがある。

【0094】このようなシャフリングを行う回路は、図31のように構成すれば実現できる。図中、46は前述したような各式により、ブロック水平アドレス(i)及びブロック垂直アドレス(j)を演算するブロックアドレス演算回路であり、ブロックアドレス演算回路46にて求められたブロックアドレスは書き込み・読み出しアドレス発生回路45へ出力される。書き込み・読み出しアドレス発生回路45は、ブロックアドレスに基づいて、RAM 44に書き込み・読み出し用のアドレスを出力する。RAM 44において、このアドレスに従って各ブロックが配列され

て、図26、図28～30に示すようなシャフリングが実現される。

40 【0095】(第6実施例) 上述のようにシャフリングを行った場合、1フィールドまたは1フレーム内の各ユニットの符号量はほぼ均一になるが、動画の場合、何秒か経過するとすっかり絵柄が変化して、1フィールドまたは1フレーム内の各ユニットの符号量は増減する。そして、各ユニットにおいて符号量が増える場合、伝送可能なデータ量を超えてしまうことがある。特に、ヘリカルスキャン型VTRの場合には、上述したように1トラックを整数分の1になるような長さで分割し、各々に制限した固定量を固定した数のブロックの符号に割りあてるようにしているの、この問題は深刻である。これを防

ぐために考案されたのが、第6実施例である。以下第6実施例について説明する。

【0096】図32、図33は第6実施例に係る映像信号符号化装置の構成を示すブロック図であり、図中図25と同番号を付した部分は同一部材を示す。図32においては、バッファメモリ42のメモリ使用状況の情報により、量子化回路4及び可変長符号化回路5が制御される。また、図33においては、バッファメモリ42のメモリ使用状況の情報により、量子化ビット数決定回路43及び可変長符号化回路5が制御される。

【0097】バッファメモリ42は、制限する符号量に準じた量のデータを記憶する能力がある。このバッファメモリ42が満杯近くになると伝送限界を超えてしまう符号が生成されてしまう可能性が高くなることを示している。量子化ビット数を小さくしたり、可変長符号化を打ち切ってしまう等の制御をする。しかし、そのような制御は復号後の画像の品位を落とすことによって符号量を落とす制御を行っているだけであり、例えば前述のシャフリングの結果、このような制御を画面の中央位置で行うこともありうる。このような制御は各ユニットの最後の方のブロックで行われる可能性が高いので、各ユニットで最後の方に入力されるブロックは画面の端の部分になるようにブロック・シャフリング回路41が動作する。そのようなシャフリング例を図34に示す。

【0098】図34では、数字が小さいブロックは画面中央に集まっており、数字が大きいブロックは画面の左右端の方に集まっていることがわかる。しかも、図34は $N \times$

$$\begin{aligned} i &= 45 - (-1)^{11} \times [6] \\ &= 45 + 6 \\ &= 51 \\ j &= ([65/10] - 1) \times 5 + 1 - (-1)^1 \times 5 \times 1 \\ &\quad + \text{mod}(11 + 3 - 1, 5) \\ &= 26 + 5 + 3 \\ &= 34 \end{aligned}$$

となり、(51, 34)に位置する。

【0101】このようなシャフリングの例は上述した以外に数多くあり、その例を図35～図39に示す。図37～図39はブロックの垂直方向のアドレスは画面上端から始まっているが、シミュレーションにおいて、歪が生じるのは図34と同様画面の左右端になることを確認した。また図38は図37と同様のシャフリングであるが、 $N=10$ の場合を示しており、ユニット名はA～K（Iは1と混同しやすいので省く）の10通りある。また図39は図37と同様のシャフリングであるが、 $N=3$ の場合を示している。ここで、図37のようなシャフリングは下式で表される。

【0102】

【数5】

* = 5の場合であるが、任意の注目ブロックの4近傍ブロックは注目ブロックと同じユニットに属していない。図34のようなシャフリングは第uユニットの第kブロックのブロックアドレスを(i, j)としたとき、下式で表される。

【0099】

【数4】

$$i = \frac{90}{2} - (-1)^{[\{ (k-1) \cdot N \} / 60]}$$

10

$$\times \left[\frac{[\frac{(k-1) \cdot N}{60}] + 1}{2} \right]$$

$$j = \left(\left[\frac{60+N}{2N} \right] - 1 \right) \times N + 1$$

$$- (-1)^{\text{mod}((k-1), (60/N))}$$

20

$$\times N \times \left[\frac{\text{mod}(k-1, \frac{60}{N}) + 1}{2} \right]$$

$$+ \text{mod} \left(\left[\frac{(k-1) \cdot N}{60} \right] + u - 1, N \right)$$

【0100】例えばC134のブロックは、 $u=3$ 、 $k=134$ であるので、

$$i = \frac{90}{2} - (-1)^{[\{ (k-1) \cdot N \} / 60]}$$

$$\times \left[\frac{[\frac{(k-1) \cdot N}{60}] + 1}{2} \right]$$

$$j = N \times \text{mod}(k-1, \frac{60}{N}) + 1$$

$$+ \text{mod} \left(\left[\frac{(k-1) \cdot N}{60} \right] + u - 1, N \right)$$

【0103】例えば図37においてE147のブロックは、 $u=5$ 、 $k=147$ であるので、

$$i = 45 - (-1)^{11} \times [(12+1) / 2]$$

$$= 45 - 6$$

$$50 = 39$$

$j = 5 \times 2 + 1 + \text{mod}(12 + 5 - 1, 5)$
 $= 11 + 1$
 $= 12$

となり、(39, 12)に位置する。

【0104】上述したようなシャフリングを施せば、符号量制御による歪は画面の左右端に集中する。なお、上述の式で $N=2$ とした場合は4近傍のブロック中、同じユニットに所属するブロックが存在するときが起こりうるが、これは k が大きくなるほど画面の端部になるように関係付けるために生じる問題であり、そのようなブロックは画面上のほんの一部にしかすぎないので符号量の偏りには大きな影響を与えない。通常のデジタルVTRでは特殊再生等を考慮して N を3以上にすることが普通であるので実用上問題とならない。またシャフリングを示した図においては、いずれも N を法にとった除算を施した演算を基本としているが、 N の整数倍または N の整数分の整数を法とした除算でも同様な効果を示すことは言うまでもない。例えば $N=10$ の場合、通常は法を10にとる除算を行うが、法を20にとっても5(10の(1/2))にとっても良い。

【0105】上述の第5、6実施例ではシャフリングをブロック単位で行う場合を説明したが、例えば($t \times s$)ブロックを1まとめの単位と考えてこの単位でシャフリングをかけても良い。

【0106】上述の各実施例では直交変換にDCTを例にとって説明したが、アダマール変換、K-L変換等のようなDCT以外の他の直交変換を用いても良い。また、ウェーティング回路3は量子化回路4の量子化幅を周波数に依存して変化させた場合省略可能である。

【0107】

【発明の効果】以上のように、第1発明によれば、色信号のDCTブロックが画面上で占める大きさと同じ単位でシャフリングをかけるので、良好なS/Nで復号化でき、特殊再生画質が良好であるという効果がある。

【0108】第2発明によれば、任意のブロックが属するユニットとこの任意のブロックの4近傍ブロックが属するユニットとが異なるようにシャフリングを行った後に符号化するようにしたので、各ユニットにおける符号量を均一化でき、伝送効率を向上することができるという効果がある。

【0109】第3発明によれば、伝送限界データ長と容量のバッファを有し、バッファの使用状態に応じて量子化ビット数及び符号化動作を制御するので、伝送データが瞬間的に増加しても符号化の打ち切りが発生せず、また、伝送データが持続的に増加してもシャフリングをかけるので、伝送打ち切りによる歪が視覚的に検知されにくいという効果がある。

【0110】第4発明によれば、伝送限界データ長と容量のバッファを有し、バッファの使用状態に応じて符号化動作を制御するので、伝送データが瞬間的に増加し

ても符号化の打ち切りが発生せず、また、伝送データが持続的に増加してもシャフリングをかけるので、伝送打ち切りによる歪が視覚的に検知されにくいという効果がある。

【0111】第5発明によれば、各ユニットにおいて、画面中央部のブロック、画面端部のブロックの順に符号化するので、符号量制御による歪も画面の端部に集中でき、視覚的に画質劣化が見られない好適な復号画像が得ることが可能となるという効果がある。

10 【図面の簡単な説明】

【図1】 従来の映像信号符号化装置の構成図である。

【図2】 本発明の第1実施例の映像信号符号化装置の構成図である。

【図3】 符号化の過程の一例を示す図である。

【図4】 符号化の際の走査順序を示す図である。

【図5】 第1実施例の変形例の構成図である。

【図6】 本発明の第2実施例の映像信号符号化装置の構成図である。

【図7】 図6に示すシャフリング回路において決定される伝送順序の具体的な方法を示す説明図である。

【図8】 第2実施例の変形例の構成図である。

【図9】 本発明の第3実施例の映像信号符号化装置の構成図である。

【図10】 第3実施例における量子化ビット数決定の際のテーブルを示す図である。

【図11】 符号化の際のデータ打ち切りを示す図である。

【図12】 復号化側の構成図である。

【図13】 第3実施例の変形例の構成図である。

30 【図14】 第3実施例の他の変形例の構成図である。

【図15】 第3実施例の更に他の変形例の構成図である。

【図16】 本発明の第4実施例の映像信号符号化装置の構成図である。

【図17】 第4実施例における量子化ビット数決定の際のテーブルを示す図である。

【図18】 第4実施例におけるイベント変換回路の構成図である。

【図19】 第4実施例の変形例の構成図である。

40 【図20】 第4実施例におけるシャフリングによる符号量偏りの平均化を示すグラフである。

【図21】 第4実施例における4:1:1の場合のシャフリング単位を示す図である。

【図22】 第4実施例における4:2:0の場合のシャフリング単位を示す図である。

【図23】 第4実施例におけるシャフリングの一例を示す図である。

【図24】 第4実施例における4:1:0の場合のシャフリング単位を示す図である。

50 【図25】 本発明の第5実施例の映像信号符号化装置

の構成図である。

【図26】 第5実施例におけるシャフリング動作を説明するための図である。

【図27】 第5実施例におけるシャフリング原理を説明するための図である。

【図28】 第5実施例におけるシャフリング例を示す図である。

【図29】 第5実施例における他のシャフリング例を示す図である。

【図30】 第5実施例における更に他のシャフリング例を示す図である。

【図31】 第5実施例におけるシャフリングを行う回路の構成図である。

【図32】 本発明の第6実施例の映像信号符号化装置の構成図である。

【図33】 第6実施例の変形例の構成図である。

【図34】 第6実施例におけるシャフリング例を示す図である。

【図35】 第6実施例における他のシャフリング例を示す図である。

【図36】 第6実施例における更に他のシャフリング例を示す図である。

【図37】 第6実施例における更に他のシャフリング例を示す図である。

*【図38】 第6実施例における更に他のシャフリング例を示す図である。

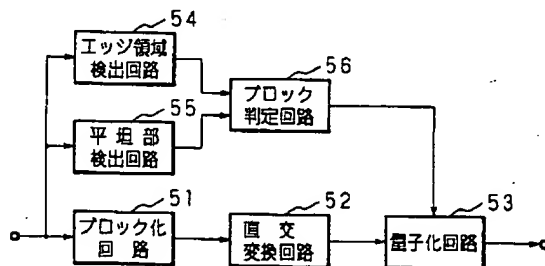
【図39】 第6実施例における更に他のシャフリング例を示す図である。

【符号の説明】

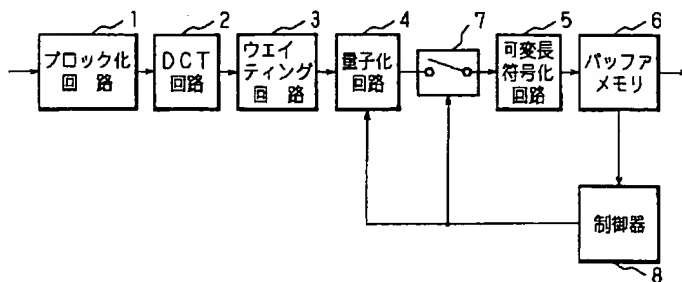
- 1 ブロック化回路
- 2 DCT 回路
- 3 ウエイティング回路
- 4 量子化回路
- 5, 13 可変長符号化回路
- 6, 11, 15, 42 バッファメモリ
- 7, 12 スイッチ
- 8 制御器
- 9 シャフリング回路
- 14, 43 量子化ビット数決定回路
- 16 可変長復号化回路
- 17 0挿入回路
- 30 発生符号量カウンタ
- 31 0ランカウンタ
- 32 イベントカウンタ
- 33 イベント変換回路
- 34 可変長符号化器
- 41 ブロッキング・シャフリング回路

*

【図1】



【図2】

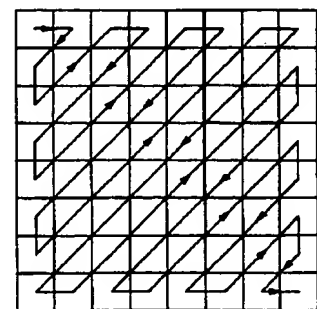


7:スイッチ

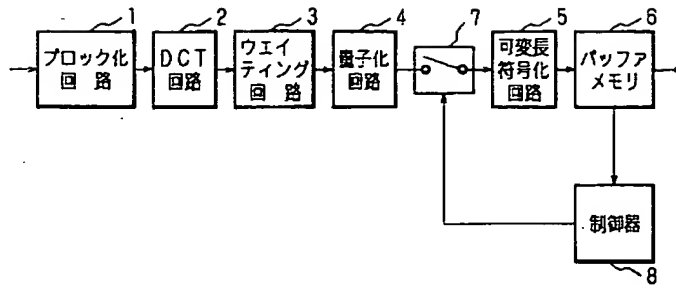
【図3】

80	3	0	2	1	0		
2	1	-1	0				
-1	0	1					
1	0						
0							

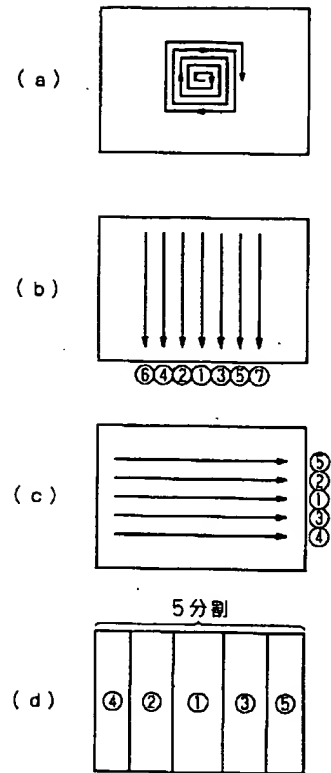
【図4】



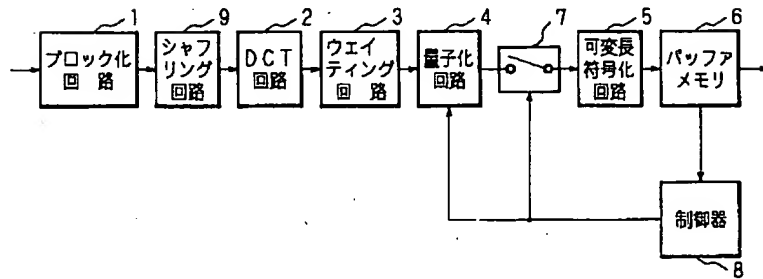
【図5】



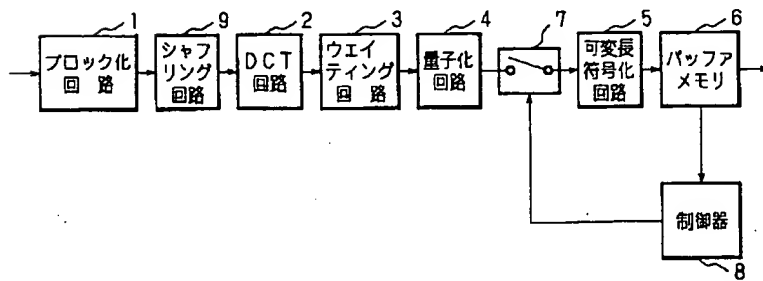
【図7】



【図6】



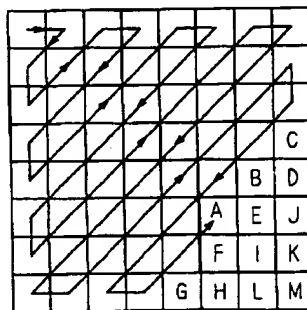
【図8】



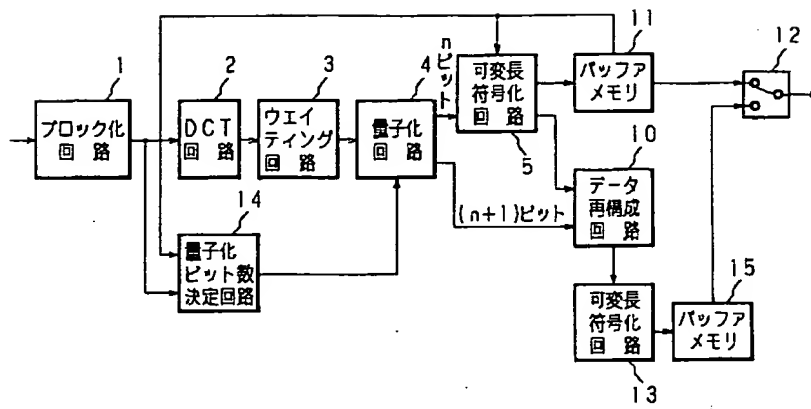
【図10】

パッファメモリ11の 使用状態	アクティビティ指数				
	i	ii	iii	iv	v
a ~ b	9	8	8	7	7
b ~ c	8	8	7	7	6
c ~ d	8	7	7	6	6
d ~ e	7	7	6	6	6

【図11】



【図9】

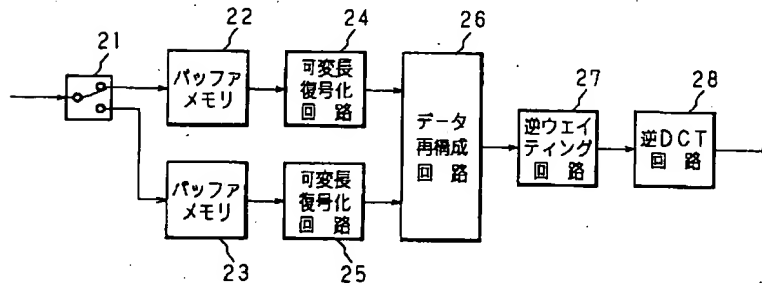


12:スイッチ

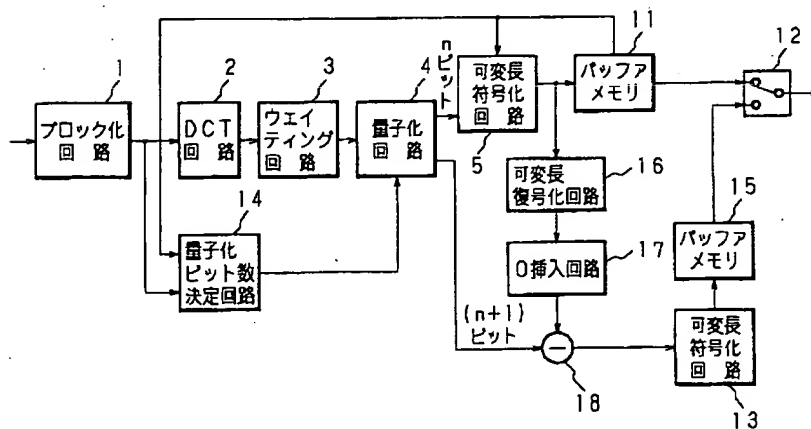
【図27】



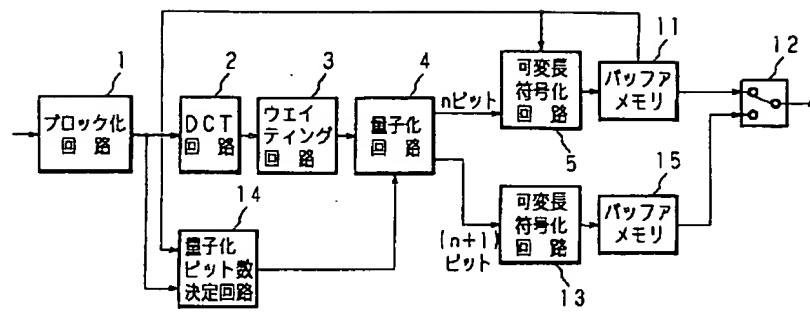
【図12】



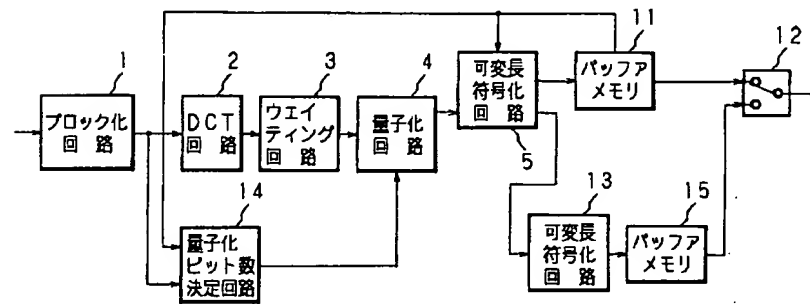
【図13】



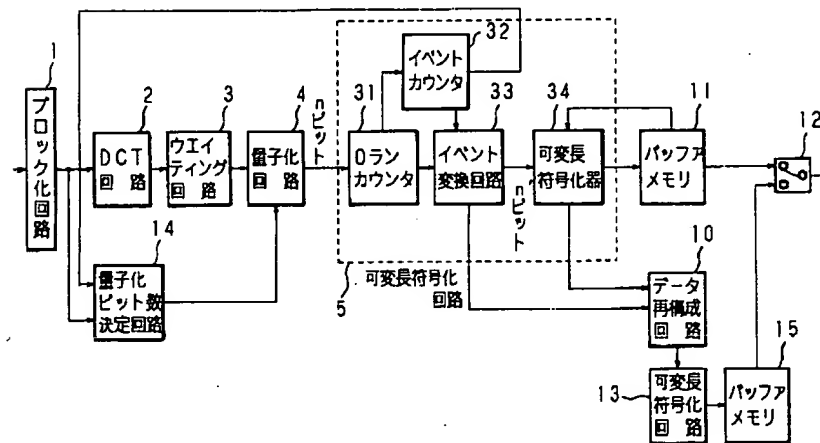
【図14】



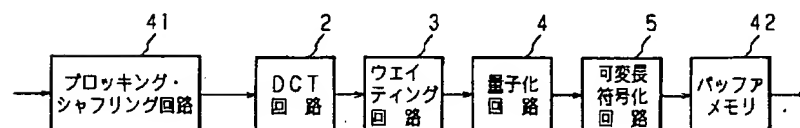
【図15】



【図16】



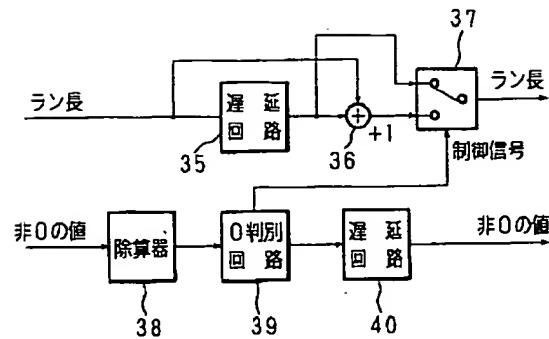
【図32】



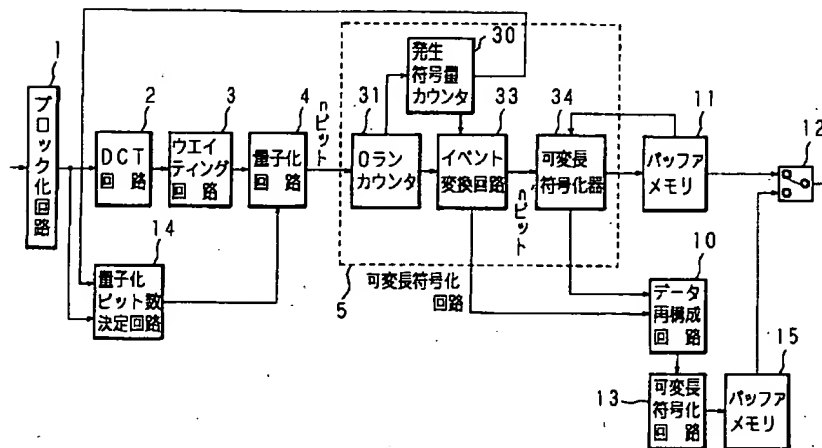
【図17】

パツファメモリ11の使用予想	i	ii	iii	iv	v
アクティビティ指数					
a ~ b	9	8	8	7	7
b ~ c	8	8	7	7	6
c ~ d	8	7	7	6	6
d ~ e	7	7	6	6	6

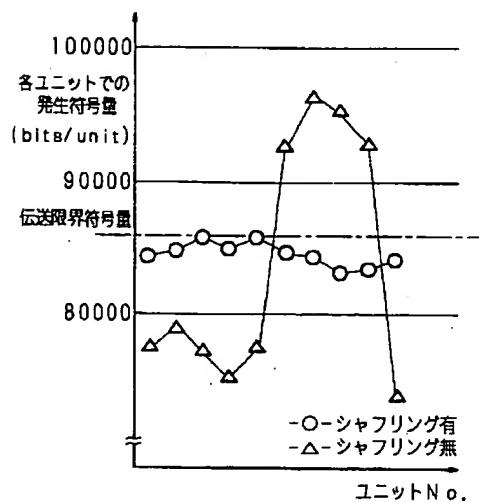
【図18】



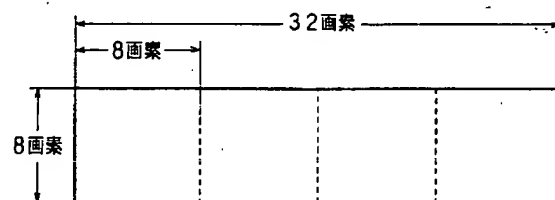
【図19】



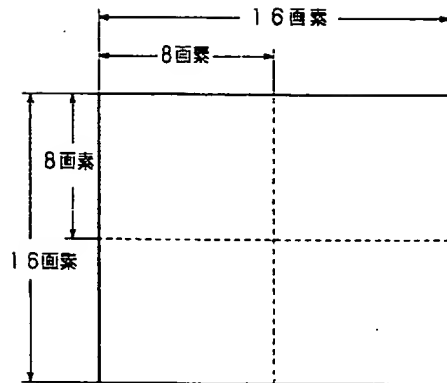
【図20】



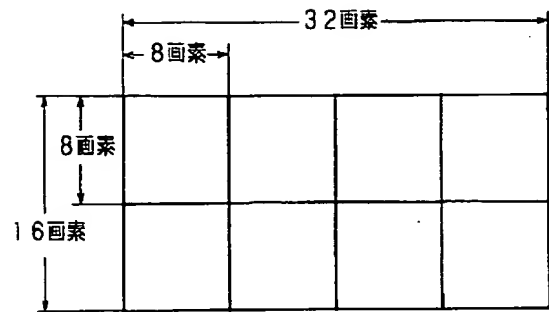
【図21】



【図22】



【図24】

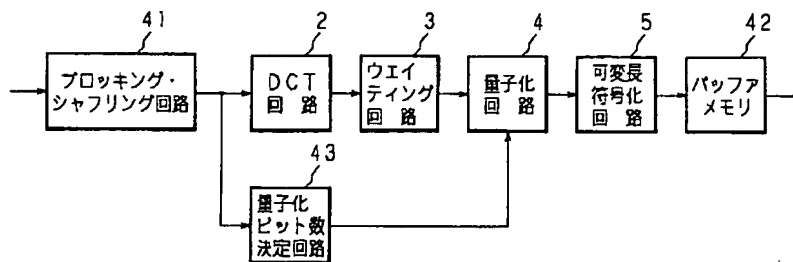


【図23】

B45	D39	A33	C27	E21	B15	D9	A3	E6	C12	A18	D24	B30	E36	C42	A48
C45	E39	B33	D27	A21	C15	E9	B3	A6	D12	B18	E24	C30	A36	D42	B48
D45	A39	C33	E27	B21	D15	A9	C3	B6	E12	C18	A24	D30	B36	E42	C48
E45	B39	D33	A27	C21	E15	B9	D3	C6	A12	D18	B24	E30	C36	A42	D48
A45	C39	E33	B27	D21	A15	C9	E3	D6	B12	E18	C24	A30	D36	B42	E48
B43	D37	A31	C25	E19	B13	D7	A1	E4	C10	A16	D22	B28	E34	C40	A46
C43	E37	B31	D25	A19	C13	E7	B1	A4	D10	B16	E22	C28	A34	D40	B46
...	D43	A37	C31	E25	B19	D13	A7	C1	B4	E10	C16	A22	D28	B34	E40
...	E43	B37	D31	A25	C19	E13	B7	D1	C4	A10	D16	B22	E28	C34	A40
...	A43	C37	E31	B25	D19	A13	C7	E1	D4	B10	E16	C22	A28	D34	B40
...	B44	D38	A32	C26	E20	B14	D8	A2	E5	C11	A17	D23	B29	E35	C41
...	C44	E38	B32	D26	A20	C14	E8	B2	A5	D11	B17	E23	C29	A35	D41
...	D44	A38	C32	E26	B20	D14	A8	C2	B5	E11	C17	A23	D29	B35	E41
...	E44	B38	D32	A26	C20	E14	B8	D2	C5	A11	D17	B23	E29	C35	A41
...	A44	C38	E32	B28	D20	A14	C8	E2	D5	B11	E17	C23	A29	D35	B41

シャフリング
単位

【図25】

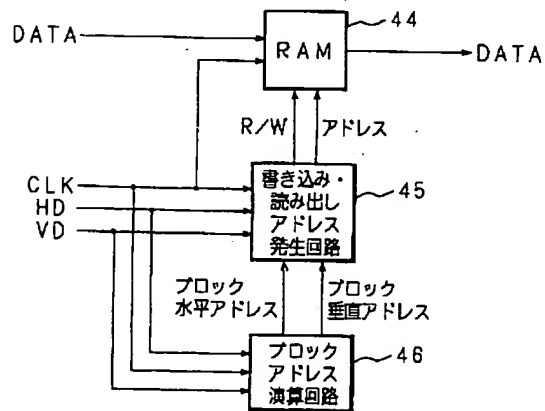


[illegible][illegible][illegible]

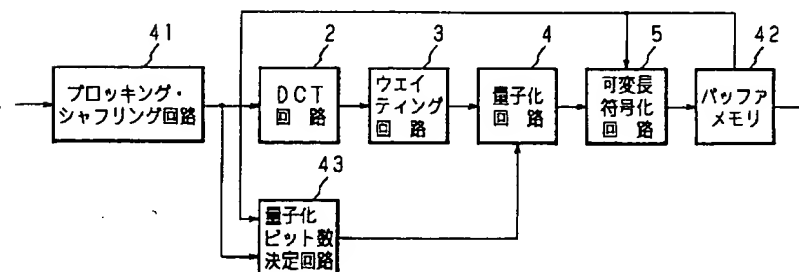
【図30】

シャフリング単位											
シャフリング単位	E1	C2	D3	A4	B5	E6	C7	D8	A9	B10	E11
	C1	A2	E3	B4	D5	C6	A7	E8	B9	D10	C11
	A1	B2	C3	D4	E5	A6	B7	C8	D9	E10	A11
	B1	D2	A3	E4	C5	B6	D7	A8	E9	C10	B11
	D1	E2	B3	C4	A5	D6	E7	B8	C9	A10	D11
	E91	C92	D93	A94	B95	E96	C97	D98	A99	B100	E101
	C91	A92	E93	B94	D95	C96	A97	E98	B99	D100	C101

【図31】



【図33】



【図34】

45

26	C147	E123	B99	D75	A51	C27	E3	D15	B39	E63	C87	A111	D135	B159
	D145	A121	C97	E73	B49	D25	A1	E13	C37	A61	D85	B109	E133	C157
	E145	B121	D87	A73	C49	E25	B1	A13	D37	B61	E85	C109	A133	D157
	A145	C121	E97	B73	D49	A25	C1	B13	E37	C61	A85	D109	B133	E157
	B145	D121	A97	C73	E49	B25	D1	C13	A37	D61	B85	E109	C133	A157
	C145	E121	B97	D73	A49	C25	E1	D13	B37	E61	C85	A109	D133	B157
	D146	A122	C98	E74	B50	D26	A2	E14	C38	A62	D86	B110	E134	C158
	E146	B122	D98	A74	C50	E26	B2	A14	D38	B62	E86	C110	A134	D158
	A146	C122	E98	B74	D50	A26	C2	B14	E38	C62	A86	D110	B134	E158
	B146	D122	A98	C74	E50	B26	D2	C14	A38	D62	B86	E110	C134	A158
	C146	E122	B98	D74	A50	C26	E2	D14	B38	E62	C86	A110	D134	B158
	D148	A124	C100	E76	B52	D28	A4	E16	C40	A64	D88	B112	E136	C160

【図35】

C147	E123	B99	D75	A51	C27	E3	C15	A39	D83	B87	E111	C135	A159
D145	A121	C97	E73	B49	D25	A1	D13	B37	E81	C85	A109	D133	B157
E145	B121	D97	A73	C49	E25	B1	E13	C37	A61	D85	B109	E133	C157
A145	C121	E97	B73	D49	A25	C1	A13	D37	B61	E85	C109	A133	D157
B145	D121	A97	C73	E49	B25	D1	B13	E37	C61	A85	D109	B133	E157
C145	E121	B97	D73	A49	C25	E1	C13	A37	D61	B85	E109	C133	A157
D146	A122	C98	E74	B50	D26	A2	D14	B38	E82	C86	A110	E134	B158
E146	B122	D98	A74	C50	E26	B2	E14	C38	A62	D86	B110	A134	C158
A146	C122	E98	B74	D50	A26	C2	A14	D38	B62	E86	C110	B134	D158
B146	D122	A98	C74	E50	B26	D2	B14	E38	C62	A86	D110	C134	E158
C146	E122	B98	D74	A50	C26	E2	D14	A38	D62	B86	E110	D134	A158
D148	A124	C100	E76	B52	D28	A4	D16	B40	E64	C88	A112	E136	B160

【図36】

	B147	E123	C98	A75	D51	B27	E3	C15	A39	D63	B87	E111	C135	A159
	C145	A121	D87	B73	E49	C25	A1	D13	B37	E61	C85	A109	D133	B157
	D145	B121	E97	C73	A49	D25	B1	E13	C37	A61	D85	B109	E133	C157
	E145	C121	A97	D73	B49	E25	C1	A13	D37	B81	E85	C109	A133	D157
	A145	D121	B97	E73	C49	A25	D1	B13	E37	C61	A85	D109	B133	E157
	B145	E121	C97	A73	D49	B25	E1	C13	A37	D61	B85	E109	C133	A157
	C146	A122	D98	B74	E50	C26	A2	D14	B38	E62	C86	A110	D134	B158
	D146	B122	E98	C74	A50	D26	B2	E14	C38	A62	D86	B110	E134	C158
	E146	C122	A98	D74	B50	E26	C2	A14	D38	B62	E86	C110	A134	D158
	A146	D122	B98	E74	C50	A26	D2	B14	E38	C62	A86	D110	B134	E158
	B146	E122	C98	A74	D50	B26	E2	C14	A38	D82	B86	E110	C134	A158
	C148	A124	D100	B78	E52	C28	A4	D16	B40	E64	C88	A112	D136	B160

【図37】

	B145	A121	C97	E73	B49	D25	A1	E13	C37	A61	D85	B109	E133	C157
	E145	B121	D97	A73	C49	E25	B1	A13	D37	B61	E85	C109	A133	D157
	A145	C121	E97	B73	D49	A25	C1	B13	E37	C61	A85	D109	B133	E157
	B145	D121	A87	C73	E49	B25	D1	C13	A37	D61	B85	E109	C133	A157
	C145	E121	B97	D73	A49	C25	E1	D13	B37	E61	C85	A109	D133	B157
	D148	A122	C98	E74	B50	D26	A2	E14	C38	A62	D86	B110	E134	C158
	E146	B122	D98	A74	C50	E26	B2	A14	D38	B62	E86	C110	A134	D158
	A148	C122	E98	B74	D50	A26	C2	B14	E38	C62	A86	D110	B134	E158
	B148	D122	A98	C74	E50	B26	D2	C14	A38	D82	B86	E110	C134	A158
	C148	E122	B98	D74	A50	C26	E2	D14	B38	E62	C86	A110	D134	B158
	D147	A124	C98	E75	B51	D27	A3	E15	C38	A63	D87	B111	E135	C159
	E147	B124	D99	A75	C51	E27	B3	A15	D38	B63	E87	C111	A135	D159

【図38】

J73	A61	C49	E37	G25	J13	A1	K7	H19	F31	D43	B55	K67	H79	
K73	B61	D49	F37	H25	K13	B1	A7	J19	G31	E43	C55	A67	J79	
A73	C61	E49	G37	J25	A13	C1	B7	K19	H31	F43	D55	B67	K79	
B73	D61	F49	H37	K25	B13	D1	C7	A19	J31	G43	E55	C67	A79	
C73	E61	G49	J37	A25	C13	E1	D7	B19	K31	H43	F55	D67	B79	
D73	F61	H49	K37	B25	D13	F1	E7	C19	A31	J43	G55	E67	C79	
E73	G61	J49	A37	C25	E13	G1	F7	D19	B31	K43	H55	F67	D79	
F73	H61	K19	B37	D25	F13	H1	G7	E19	C31	A43	J55	G67	E79	
G73	J61	A49	C37	E25	G13	J1	H7	F19	D31	B43	K55	H67	F79	
H73	K61	B49	D37	F25	H13	K1	J7	G19	E31	C43	A55	J67	G79	
J74	A62	C50	E38	G26	J14	A2	K6	H20	F32	D44	B55	K68	H80	
K74	B62	D50	F38	H26	K14	B2	A8	J20	G32	E44	C55	A68	J80	

【図39】

A241	C201	B181	A121	C81	B41	A1	C21	A61	B101	C141	A181	B221	C261	
B241	A201	C161	B121	A81	C41	B1	A21	B61	C101	A141	B181	C221	A261	
C241	B201	A181	C121	B81	A41	C1	B21	C61	A101	B141	C181	A221	B261	
A242	C202	B182	A122	C82	B42	A2	C22	A62	B102	C142	A182	B222	C262	
B242	A202	C162	B122	A82	C42	B2	A22	B62	C102	A142	B182	C222	A262	
C242	B202	A182	C122	B82	A42	C2	B22	C62	A102	B142	C182	A222	B262	
A243	C203	B183	A123	C83	B43	A3	C23	A63	B103	C143	A183	B223	C263	
B243	A203	C163	B123	A83	C43	B3	A23	B63	C103	A143	B183	C223	A263	
C243	B203	A183	C123	B83	A43	C3	B23	C63	A103	B143	C183	A223	B263	
A244	C204	B184	A124	C84	B44	A4	C24	A64	B104	C144	A184	B224	C264	
B244	A204	C164	B124	A84	C44	B4	A24	B64	C104	A144	B184	C224	A264	
C244	B204	A184	C124	B84	A44	C4	B24	C64	A104	B144	C184	A224	B264	

フロントページの続き

(31)優先権主張番号 特願平4-904

(32)優先日 平成4年1月7日(1992. 1. 7)

(33)優先権主張国 日本(JP)